

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-354787

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H02M 3/155
H02M 7/21

(21)Application number : 2001-153319

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.05.2001

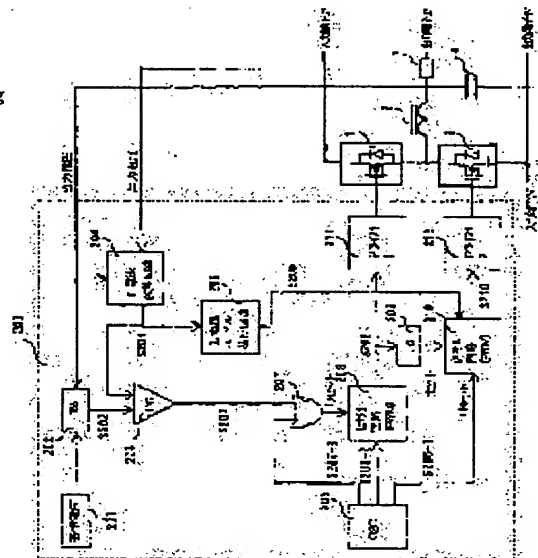
(72)Inventor : TOKUNAGA KIICHI
ONDA KENICHI
ONAKA TAKESHI
SAGA RYOHEI
KANOUDA TAMAHICO

(54) DC/DC CONVERTER AND ITS CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DC-DC converter achieving high-efficiency, small ripple control even when lightly loaded and a high-level response capability in load changing.

SOLUTION: The control circuit controlling the operations of both a switching element and a current circulating element, provided on the DC-DC converter, contains an arithmetic circuit prospecting the current flowing through a reactor. Thus, the DC-DC converter controls the switching element and the current circulating element by using an operand value of the reactor current.



LEGAL STATUS

[Date of request for examination]

06.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

2777

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-354787

(P2002-354787A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl.⁷

H 0 2 M 3/155
7/21

識別記号

F I

H 0 2 M 3/155
7/21

テーマコード(参考)

H 5 H 0 0 6
A 5 H 7 3 0

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21)出願番号 特願2001-153319(P2001-153319)

(22)出願日 平成13年5月23日(2001.5.23)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 徳永 紀一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 恩田 謙一

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

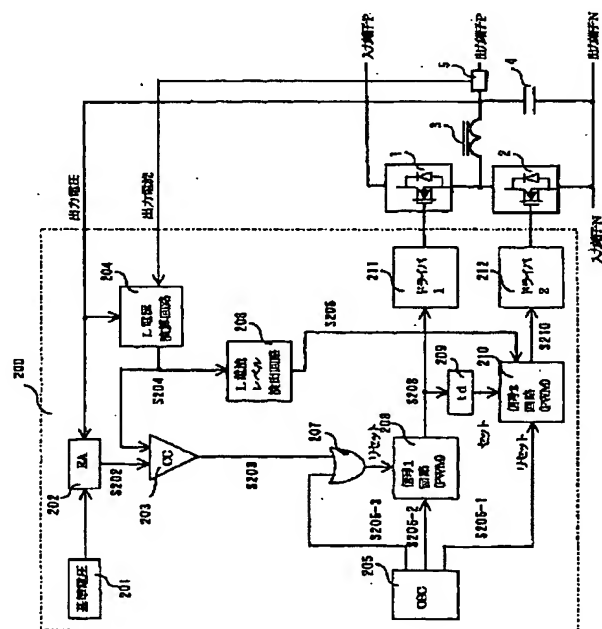
(54)【発明の名称】 DC-DCコンバータとその制御回路

(57)【要約】

【課題】 軽負荷時にも高効率・低リップルで制御し、且つ負荷変動時の高応答化を実現するDC-DCコンバータの提供。

【解決手段】 本発明のDC-DCコンバータは、スイッチング素子と還流用素子との動作を制御する制御回路にリアクトルを流れる電流を推定する演算回路を備え、該リアクトル電流の演算値を用いてスイッチング素子と還流用素子とを制御する。

図 1



【特許請求の範囲】

【請求項1】 直流入力端子間にスイッチング素子と還流用素子とが直列に接続され、該スイッチング素子と還流用素子との接続点と、前記直流入力端子の低電位端子との間にリアクトルとコンデンサとを直列に接続し、前記スイッチング素子と還流用素子とをオンオフ制御して前記コンデンサの両端子から直流出力を得るDC-DCコンバータにおいて、

DC-DCコンバータのスイッチング素子と還流用素子との動作を制御する制御回路に前記リアクトルを流れる電流を算出する演算回路を備え、該リアクトル電流の演算値を用いてスイッチング素子と還流用素子とを制御することを特徴とするDC-DCコンバータ。

【請求項2】 請求項1記載のDC-DCコンバータにおいて、前記制御回路がリアクトル電流を推定する演算回路に加えて前記コンデンサ電圧を算出する演算回路を備えていて、前記リアクトル電流の演算値とコンデンサ電圧の演算値とを用いて前記スイッチング素子と還流用素子とを制御することを特徴とするDC-DCコンバータ。

【請求項3】 請求項2に記載のDC-DCコンバータにおいて、前記制御回路がさらに出力電流を推定する演算回路を具備して、リアクトル電流の演算値とコンデンサ電圧の演算値と出力電流の演算値とを用いて前記スイッチング素子と還流用素子とを制御することを特徴とするDC-DCコンバータ。

【請求項4】 請求項1、請求項2または請求項3の何れかに記載のDC-DCコンバータにおいて、前記リアクトル電流の演算値を用いて前記スイッチング素子のPWM制御と還流素子の逆流防止制御とを行うことを特徴とするDC-DCコンバータ。

【請求項5】 請求項2または請求項3の何れかに記載のDC-DCコンバータにおいて、複数のスイッチング素子と、複数の還流用素子と、該複数のスイッチング素子を駆動する複数のスイッチング素子駆動回路と、該複数の還流素子を駆動する複数の還流素子駆動回路とを備え、前記リアクトル電流の演算値を用いて動作素子の個数を増減することを特徴とするDC-DCコンバータ。

【請求項6】 請求項3記載のDC-DCコンバータにおいて、出力電流又は出力電流演算値とリアクトル電流の演算値の両者が軽負荷状態を検知時にDC-DCコンバータをシリーズドロップ動作に切換えることを特徴とするDC-DCコンバータ。

【請求項7】 請求項2または請求項3の何れかに記載のDC-DCコンバータにおいて、複数のスイッチング素子と複数の還流用素子とを備え、リアクトル電流の演算値を用いて動作素子の個数を増減し、出力電流又は出力電流の演算値と、リアクトル電流の演算値との両者が軽負荷状態を検知時にDC-DCコンバータをシリーズドロップ動作に切換えることを特徴とするDC-DCコン

バータ。

【請求項8】 請求項3記載のDC-DCコンバータにおいて、出力電流又は出力電流演算値が軽負荷状態を検知時に、リアクトル電流の演算値でオン幅、コンデンサ電圧の演算値でオフ幅を制御することを特徴とするDC-DCコンバータ。

【請求項9】 請求項1または請求項2の何れかに記載のDC-DCコンバータにおいて、前記制御回路のリアクトル電流演算回路が、DC-DCコンバータの出力電圧と出力電流検出値とコンデンサ定数とからリアクトル電流を演算することを特徴とするDC-DCコンバータ。

【請求項10】 請求項3記載のDC-DCコンバータにおいて、前記制御回路のリアクトル電流演算回路がリアクトル電圧と入力電流検出値とリアクトル定数からリアクトル電流を演算することを特徴とするDC-DCコンバータ。

【請求項11】 請求項9記載のDC-DCコンバータにおいて、前記制御回路のリアクトル電流演算回路が定常時のコンデンサ電圧の平均値が出力電圧の平均値に一致、又はコンデンサ電流の平均値をゼロとする補正回路を備え、出力電圧と出力電流検出値とコンデンサ定数とから、リアクトル電流とコンデンサ電圧とを演算することを特徴とするDC-DCコンバータ。

【請求項12】 請求項3記載のDC-DCコンバータにおいて、前記制御回路のコンデンサ電圧と出力電流演算回路が、出力電圧と出力電流検出値とコンデンサ定数とから演算したリアクトルの電流演算値と、出力電圧検出値とコンデンサ定数からコンデンサ電圧と出力電流を演算することを特徴とするDC-DCコンバータ。

【請求項13】 請求項12記載のDC-DCコンバータにおいて、コンデンサ電圧と出力電流の演算回路に、定常時のコンデンサ電圧の平均値が出力電圧の平均値に一致、又はコンデンサ電流の平均値をゼロとする補正回路を備えていることを特徴とするDC-DCコンバータ。

【請求項14】 請求項8記載のDC-DCコンバータにおいて、前記制御回路は、PWMのオン幅はリアクトル電流又は演算値が出力電流又は演算値の所定倍の値に立ち上がる時点で、オフ幅はコンデンサ電圧又は演算値又は出力電圧が所定値に立ち下がる時点で制御することを特徴とするDC-DCコンバータ。

【請求項15】 請求項14記載のDC-DCコンバータにおいて、前記制御回路は、リアクトル電流又は演算値との比較値は、出力電流又は演算値の値に応じて出力電流又は演算値に乗ずる所定倍率を変えて制御することを特徴とするDC-DCコンバータ。

【請求項16】 請求項14記載のDC-DCコンバータにおいて、前記制御回路は、リアクトル電流又は演算値との比較値を外部信号で切換えることを特徴とするDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同期整流式のDC-DCコンバータに関し、特にリアクトル電流値を検出すること無しにスイッチング素子や還流用素子のPWM動作や逆流防止動作を行う降圧形DC-DCコンバータとその制御回路に関する。

【0002】

【従来の技術】降圧形の同期整流方式のDC-DCコンバータは、各種の情報機器の電源に適用されており、軽負荷時の変換効率の改善を図る検討が行われている。特開平11-235022号公報には、リアクトル電流の逆流を防止するようにした同期整流回路が開示されていて、図11に示すように、スイッチング素子51、還流用スイッチング素子52、ダイオード53、リアクトル3、コンデンサ4、リアクトル電流検出回路501、コントロール回路502で構成され、リアクトル電流検出回路501はリアクトル電流を監視し、逆電流になろうとした時、コントロール回路502に指示して還流用スイッチ素子52を遮断する。なお、リアクトル電流検出回路501は、リアクトルに直列接続した抵抗等で行う。

【0003】

【発明が解決しようとする課題】前記従来技術の電源では、リアクトル電流を監視して逆電流が生じようとした時に還流用スイッチング素子52を遮断して逆流を防止するので、軽負荷状態の変換効率の低下防止が可能であるが、リアクトル3に直列接続した抵抗等の検出回路が必要である。また、前記従来技術の電源では、リアクトル電流の逆流を防止することのみで、リアクトル電流値を制御しておらず、軽負荷時の出力電圧のリップル低減ができない。

【0004】本発明は、リアクトル電流や相当値の検出無しに、DC-DCコンバータを軽負荷時にも高効率・低リップルで制御し、且つ負荷変動時の高応答化を実現するコンバータとその制御回路を提供することを目的とする。

【0005】

【課題を解決するための手段】図1は、本発明の第1のコンバータの構成を示し、主回路はスイッチング素子1、還流用スイッチング素子2、リアクトル3、コンデンサ4、出力電流検出器5を備えていて、入力直流電圧を所定値に変換して出力する同期整流方式の降圧形コンバータである。図1に示す制御回路200は、出力電圧と出力電流の検出値からリアクトル電流を演算する演算回路を備え、リアクトル電流の演算値でコンバータ動作を制御する。本発明の第1の構成によれば、リアクトルや還流用スイッチング素子等によるリアクトル電流や相当値の検出無しに、コンバータのスイッチング素子1と還流用スイッチング素子2を適切に制御できるので、変換効率が向上しリップルを小さくできる。

【0006】図2は、本発明の第2のコンバータの構成である。図2の制御回路200aは、出力電圧と出力電流の検出値からリアクトル電流とコンデンサ内部電圧を演算する演算回路を備え、リアクトル電流の演算値と、コンデンサ内部電圧の演算値とでコンバータ動作を制御する。また、リアクトル電流の演算値を出力電流との関係で制御するようにオン幅、コンデンサ内部電圧の演算値を基準電位との関係で制御するようにオフ幅を設ける周波数制御を行う。本発明の第2の構成によれば、軽負荷時にリップルの低下や、効率の向上が実現できる。

【0007】

【発明の実施の形態】以下図面を用いて本願発明の実施例を詳細に説明する。

【0008】（実施例1）図1に本実施例のコンバータの構成を示す。図1において、符号1はスイッチング素子、2は還流用スイッチング素子、3はリアクトル、4はコンデンサ、5は出力電流検出器、200は制御回路である。主回路は、直流入力端子P、N間にスイッチング素子1と還流用スイッチング素子2とが直列に接続され、このスイッチング素子1と還流用スイッチング素子2の接続点と直流入力端子Nの間に、リアクトル3とコンデンサ4とを直列に接続した、同期整流方式のコンバータである。制御回路200は、出力電圧と出力電流を検出して、スイッチング素子1と還流用スイッチング素子2を制御し、入力端子P、N間に印加された直流電圧を所望の直流電圧に変換して、出力端子P、N間に出力する。

【0009】制御回路200は、基準電圧201、誤差増幅器（EAと略記する）202、電流コンパレータ（CCと略記する）203、リアクトル電流演算回路（L電流演算回路と略記する）204、発振回路（OSCと略記する）205、リアクトル電流レベル検出回路（L電流レベル検出回路と略記する）206、OR回路207、スイッチング素子1の駆動信号形成回路（信号1回路と略記する）208、遅延回路209、還流用スイッチング素子2の駆動信号形成回路（信号2回路と略記する）210、スイッチング素子1のドライバ（ドライバ1と略記する）211と還流用スイッチング素子2のドライバ（ドライバ2と略記する）212とを備えている。

【0010】図9に通常負荷時の動作説明図を示す。誤差増幅器202は、検出した出力電圧と基準電圧201を比較し、誤差信号S202を形成し電流コンパレータ203に印加する。リアクトル電流演算回路204は、検出した出力電圧と出力電流を入力し、リアクトル3の通流電流を推定する後述の図6に示す演算を行い、リアクトル電流演算回路信号S204を電流コンパレータ203とリアクトル電流レベル検出回路206に印加する。

【0011】電流コンパレータ203は、図9に示すように誤差信号S202と演算値S204とを比較し、リ

アクトル電流演算回路信号S204が誤差信号S202より大きくなったt3時点でリセット用信号S203を形成し、OR回路207を介してリセット用信号S203を信号1回路208に出力する。発振回路205は、図9に示すt1時点の信号S205-1、時間td遅延したt2時点のS205-2と最大導通幅を決めるt3maxの信号S205-3を出力し、それぞれ信号2回路210、信号1回路208とOR回路207に印加する。なお、発振回路205は固定周波の発振回路である。

【0012】信号1回路208は、信号S205-2でオン、OR回路207から印加する信号S203又はS205-3でオフする信号S208を形成し、スイッチング素子1のドライバ211を介してスイッチング素子1を駆動する。

【0013】信号2回路210は、図9に示すように信号S208の立下り時点t3より時間td遅延したt4時点の信号でオン、t1より1周期遅延したt5時点の信号S205-1でオフする信号S210を形成し、スイッチング素子2のドライバ212を介して還流用スイッチング素子2を駆動する。L電流レベル回路206は、演算値S204のレベルが所定値未満の時、例えば図9でt8x時点に、信号S206を信号2回路210に印加して出力信号S210をオフにする。

【0014】制御回路200を用いた本実施例のコンバータによれば、L電流演算回路で演算した電流値で出力電圧制御ができ、安定した直流電力を出力することができ、また還流スイッチング素子の逆流防止制御も出来るので変換効率を向上できる。

【0015】（実施例2）図2に本実施例のコンバータを示す。図2において、図1と同一符号を付けた回路構成要素は、図1と同様の構成要素であり図1と同様に動作する。

【0016】図2の制御回路200aと図1の制御回路200との相違は、リアクトル電流演算回路204をL電流C電圧演算回路204aに、発振回路205を発振回路205a、OR回路207を207aに変更し、新たに比較回路220と電流比較回路221とを追加した点である。本実施例の制御回路200aは出力電流が所定値以上の時は実施例1の制御回路200と同様に動作する。

【0017】L電流C電圧演算回路204aは、リアクトル電流とコンデンサの内部電圧の演算回路で、後述の図6に示すL電流値S204a-1とC電圧値S204a-2とを出力する。信号S204a-1は、電流コンパレータ203、L電流レベル回路206と電流比較回路221に印加し、信号S204a-2は比較回路220に印加する。電流比較回路221は、図10に示すようにL電流値S204a-1を入力された出力電流を所定比率のn倍した処理値と比較し、S204a-1が処理値

を超えたt3a時点で信号S211を形成し、OR回路207aを介して信号1回路208に印加し、信号S208をオフする。L電流が所定値より低下する時点t42で信号S210をオフして逆流を防止することは、図9に示したt8x時点の動作と同様である。

【0018】比較回路220は、信号S204a-2と基準電圧201を比較し、基準電圧より低下したt43時点で信号S220を形成し発振回路205aに印加する。発振回路205aは、出力電流と信号S220とを入力し、出力電流が所定値以下の時に、信号S205-1を形成するための内部の固定周期のトリガー信号をt43時点の信号S220に切換え、図10の周波数を可変する。

【0019】制御回路200aを用いた本実施例によれば、出力電流が所定値以上の時には、実施例1と同様な出力電圧制御で安定した直流電力を出力し、出力電流が所定値以下の時には、リアクトル電流の振幅を負荷に応じた値に制御し、且つ出力電圧を所定値に保つ周波数で動作するので低リップルで高い応答が得られ、効率が高いコンバータを実現できる。なお、電流比較回路221の出力電流を処理値とする所定比率nを、出力電流に応じて変えてもよく、さらに低いリップルと速い応答が実現できる。

【0020】（実施例3）図3に本実施例のコンバータを示す。図3において、図2と同一記号を付けた回路構成要素は、図2と同様の構成要素であり図2と同様に動作する。図3の制御回路200bと図2の制御回路200aとは、L電流C電圧演算回路204aを204aと、リアクトル電流演算回路204bとに変更した点と、入力信号を、出力電流から検出器5aで検出する入力電流に変更した点と、リアクトル入力電圧（L入力電圧と略す）を追加した点とである。

【0021】リアクトル電流演算回路204bは、リアクトル入力電圧と出力電圧から求めたリアクトル電圧と、入力電流とから、リアクトル電流（L電流と略す）を演算し、信号S204a-1を出力する。L電流演算値の信号S204a-1は、図2の制御回路200aと同様に電流コンパレータ203と電流比較回路221とに印加すると共に、出力電流コンデンサ内部電圧演算回路（出力電流C電圧演算回路と略す）204cにも印加する。204cは、信号S204a-1と出力電圧から出力電流とコンデンサ電圧とを演算し、信号S204a-2とS204c-1とを出力する。コンデンサ電圧演算値の信号S204a-2は、制御回路200aと同様に比較回路220に印加する。出力電流演算値の信号S204c-1は、制御回路200aと同様に電流比較回路221と発振回路205aに印加する。制御回路200bを用いた本実施例は、検出信号と演算回路とが制御回路200aと異なるのみで、実施例2のコンバータと同様に制御できる。

【0022】（実施例4）図4に本実施例のコンバータを示す。図4において、図2と同一記号を付けた回路構成要素は、図2と同様の構成要素であり図2と同様に動作する。図4の制御回路200cと図2の制御回路200aとの相違は、L電流レベル検出回路206を206aとし、スイッチング素子1のドライバ211を211-1～211-n、還流用スイッチング素子2のドライバ212を212-1～212-nと複数設け、さらに主回路のスイッチング素子1を1-1～1-n、還流用スイッチング素子2を2-1～2-nとn個設けた点である。

【0023】L電流レベル検出回路206aは、リアクトル電流レベルを検出し、負荷状態に応じて動作させるスイッチング素子1-1～1-n、2-1～2-nを選択する信号S206-2を形成し、対応する動作ドライバ211-1～211-n、212-1～212-nを選択する。制御回路200cを用いた本実施例のコンバータは、負荷に応じて動作ドライバとスイッチング素子を増減するので負荷が軽い領域での効率が向上する。

【0024】（実施例5）図5に本実施例のコンバータを示す。図5において、図2と同一記号を付けた回路構成要素は、図2と同様の構成要素であり図2と同様に動作する。図5の制御回路200dと図2の制御回路200aとの相違はL電流レベル検出回路206を206bとし、新たに出力電流レベル検出回路222、AND回路223、INV回路225とシリーズドロップドライバ224を設け、主回路にスイッチング素子1aを設けた点である。

【0025】L電流レベル検出回路206bは、リアクトル電流レベルを検出し、軽負荷時に信号S206-3を出力する。出力電流レベル検出回路222は、出力電流レベルを検出し、軽負荷時に信号S206-3を出力する。AND回路223は、信号S206-3とS222が印加された時、信号S223を出力し、INV回路225とシリーズドロップドライバ224に印加する。225は、信号S223が印加されると、信号S225を出力してスイッチング素子1のドライバ211、スイッチング素子2のドライバ212のドライブ動作を停止する。

【0026】シリーズドロップドライバ224は、信号S223が印加されると、誤差増幅器202から印加した信号S202を用いてスイッチング素子1aを駆動し、シリーズドロップ動作を行う。制御回路200dを用いた本実施例のコンバータは、軽負荷時にシリーズドロップ動作を行って、効率を向上できる。

【0027】なお、本実施例にも図4に示した動作ドライバ211-1～211-n、212-1～212-nや、スイッチング素子1-1～1-n、2-1～2-nを併用して、広い負荷範囲で効率向上ができる。また、出力電流検出器5は、出力端子P側に限定することな

く、出力端子N側に設けてもよい。

【0028】（実施例6）図6に本実施例のリアクトル電流演算回路の構成を示す。図6において、301、303と307は減算器、302は係数回路、304は積分器、305は補正回路、306は平均値化回路である。リアクトル電流演算回路は、出力電圧Vcと出力電流Ioutを検出し、リアクトルL電流とコンデンサ内部電圧Vc0を演算する。ここでコンデンサの容量をC、抵抗分をRcとする。Vc0とVcとの差を、減算器301で求める。この値は、抵抗分Rcとコンデンサ電流Icの積となる。301の出力値に1/Rcのゲインの係数回路302を介すことにより、Icを得る。出力電流IoutとIcとの差を、減算器303で求め、L電流を得ることができる。

【0029】また、Icを補正回路305を介してから1/Cのゲインの積分器304で積分することにより、コンデンサ内部電圧Vc0を得ることができる。なお、減算器301、303と307で扱う信号の極性は、各信号の極性の指定に依存するもので、信号極性を逆にすれば異なることは勿論である。補正回路305は、Icを平均値化回路306で平均値を求め、減算器307でIcとの差分を求めるもので、コンデンサの充放電電流の定常値をゼロとすることでIcによりC電圧の定常値を補正するものである。リアクトル電流やコンデンサ内部電圧を直接検出すること無しに、演算で算出し制御に用いることができる。なお、補正回路305のコンデンサの充放電電流の定常値をゼロに、VcとVc0の差の定常値がゼロとするように変更することも可能である。

【0030】（実施例7）図7に本実施例のリアクトル電流演算回路の構成を示す。図7において、311は減算器、312は積分器、313はホールド回路、314は加算器で315は係数回路である。図7の演算回路は、図3に示したように、リアクトル電圧VLと電源電流を検出し、リアクトルL電流を演算する。リアクトルの値をL、抵抗分をRLとする。減算器311は、リアクトル電圧VLからリアクトルの抵抗の電圧降下VRLを引き、Lに印加する電圧を求める。積分器312は、図9に示すt2やt6時点等からスイッチングの1周期間、減算器311出力を1/Lのゲインで積分し、リアクトルに流れるリップル電流を求める。

【0031】ホールド回路313は、t2やt6時点等のスイッチング周期開始時点の電源電流値It2を保持する。加算器314は、電源電流値It2にリップル電流を加算してL電流を求める。係数回路315は、L電流から抵抗の電圧降下VRLを求め、減算器311に印加する。リアクトル電流を直接検出すること無しに、演算で算出し制御に用いることができる。

【0032】（実施例8）図8に本実施例の出力電流コンデンサ電圧演算回路の構成を示す。図8において、301は減算器、302は係数回路、321は加算器、3

04は積分器で305は補正回路である。図6と同一記号を付けた回路構成要素は、図6と同様の構成要素であり図6と同様に動作する。加算器321は、演算で求めたコンデンサ電流 I_c に図7で求めたL電流演算値又はL電流検出値を加算し、出力電流を求める。コンデンサ電圧や補正回路等に付いては図6と同様である。出力電流やコンデンサ内部電圧を直接検出すること無しに、演算で算出し制御に用いることができる。

【0033】なお、図1～図5では、スイッチング素子と還流用スイッチング素子は制御回路と別の構成であったが、制御回路と一体に構成してもよく、この場合には更にコンバータを小形、低コストにできる。また、出力電流検出器を出力端子P側に設けた実施例を示したが、N側に構成してもよい。なお、回路定数の補正等の為に外部信号を印加して調整しても良く、制御要素の一部をデジタル構成としても良い。

【0034】

【発明の効果】本発明によれば、リアクトル電流やコンデンサ内部電圧等を直接検出すること無しに演算で算出することができ、これらの演算値でスイッチング素子のオンオフ制御、還流素子の逆流防止制御や負荷に適應した電流制御や周波数制御を行う制御回路やコンバータを実現できるので、コンバータの効率向上、リップル低下、及び応答の高速化が実現できる。

【図面の簡単な説明】

【図1】実施例1のコンバータの構成図である。

【図2】実施例2のコンバータの構成図である。

【図3】実施例3のコンバータの構成図である。

【図4】実施例4のコンバータの構成図である。

【図5】実施例5のコンバータの構成図である。

【図6】実施例6のリアクトル電流演算回路の構成を示す図である。

【図7】実施例7のリアクトル電流演算回路の構成を示す図である。

【図8】実施例8の出力電流、コンデンサ電圧演算回路

の構成を示す図である。

【図9】本発明のコンバータの通常負荷時の動作説明図である。

【図10】本発明のコンバータの軽負荷時の動作説明図である。

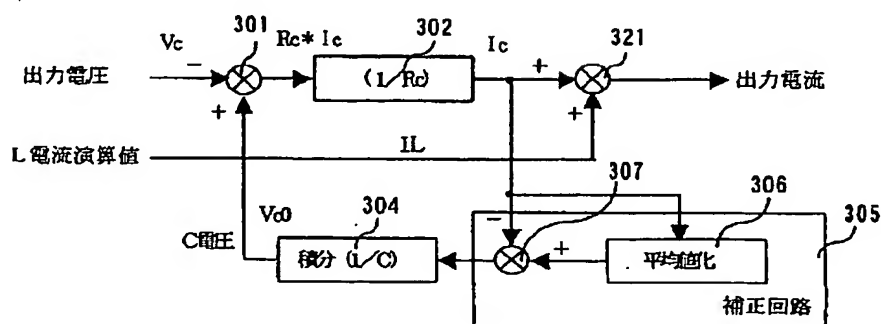
【図11】従来技術のコンバータ構成図である。

【符号の説明】

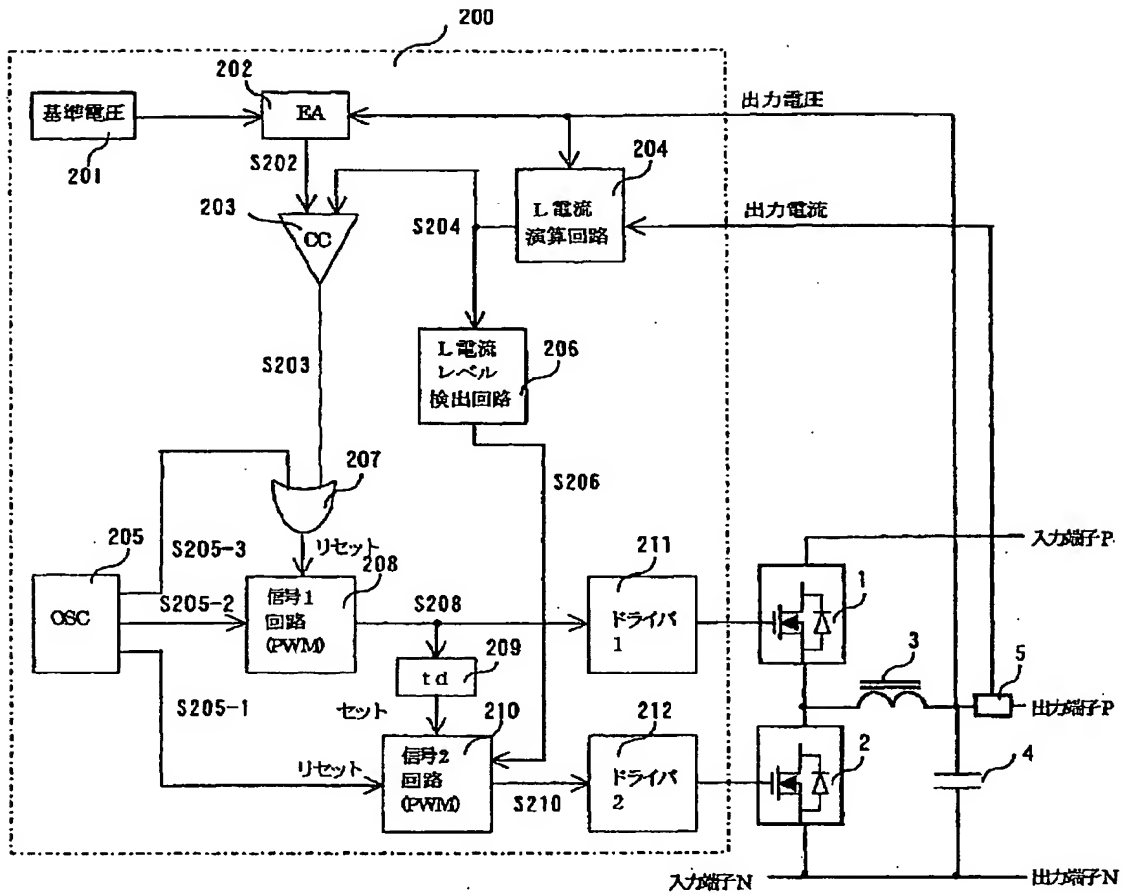
1, 1a, 1-1, 1-n, 51…スイッチング素子、2, 2-1, 2-n, 52…還流用スイッチング素子、3…リアクトル、4…コンデンサ、5, 5a…出力電流検出器、53…ダイオード、200, 200a, 200b, 200c, 200d…制御回路、201…基準電圧、202…誤差増幅器(EA)、203…電流コンバータ(CC)、204, 204b…リアクトル電流演算回路(L電流演算回路)、204a…L電流C電圧演算回路、204c…出力電流コンデンサ内部電圧演算回路(出力電流C電圧演算回路)、205, 205a…発振回路(OSC)、206, 206a, 206b…リアクトル電流レベル検出回路(L電流レベル検出回路)、207, 207a…OR回路、208…スイッチング素子1の駆動信号形成回路(信号1回路)、209…遅延回路、210…還流用スイッチング素子2の駆動信号形成回路(信号2回路)、211, 211-1, 211-n…スイッチング素子1のドライバ(ドライバ1)、212, 212-1, 212-n…還流用スイッチング素子2のドライバ(ドライバ2)、220…比較回路、221…電流比較回路、222…出力電流レベル検出回路、223…AND回路、224…シリーズドロップドライバ、225…INV回路、301, 303, 307, 311…減算器、302, 315…係数回路、304, 312…積分器、305…補正回路、306…平均値化回路、313…ホールド回路、314, 321…加算器、501…リアクトル電流検出回路、502…コントロール回路。

【図8】

図 8

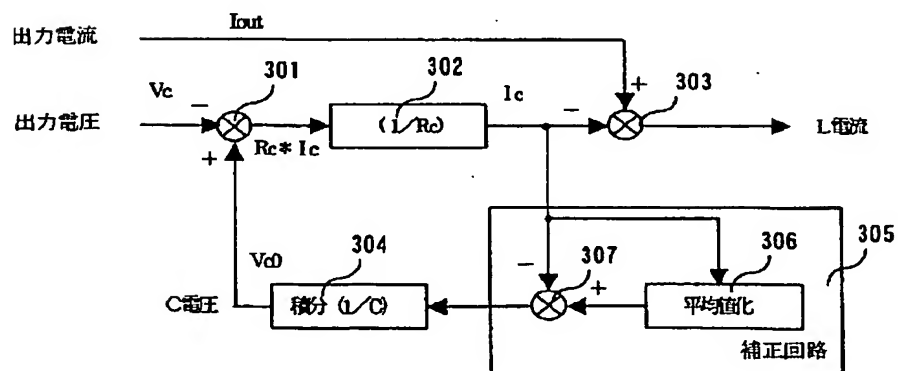


【図1】

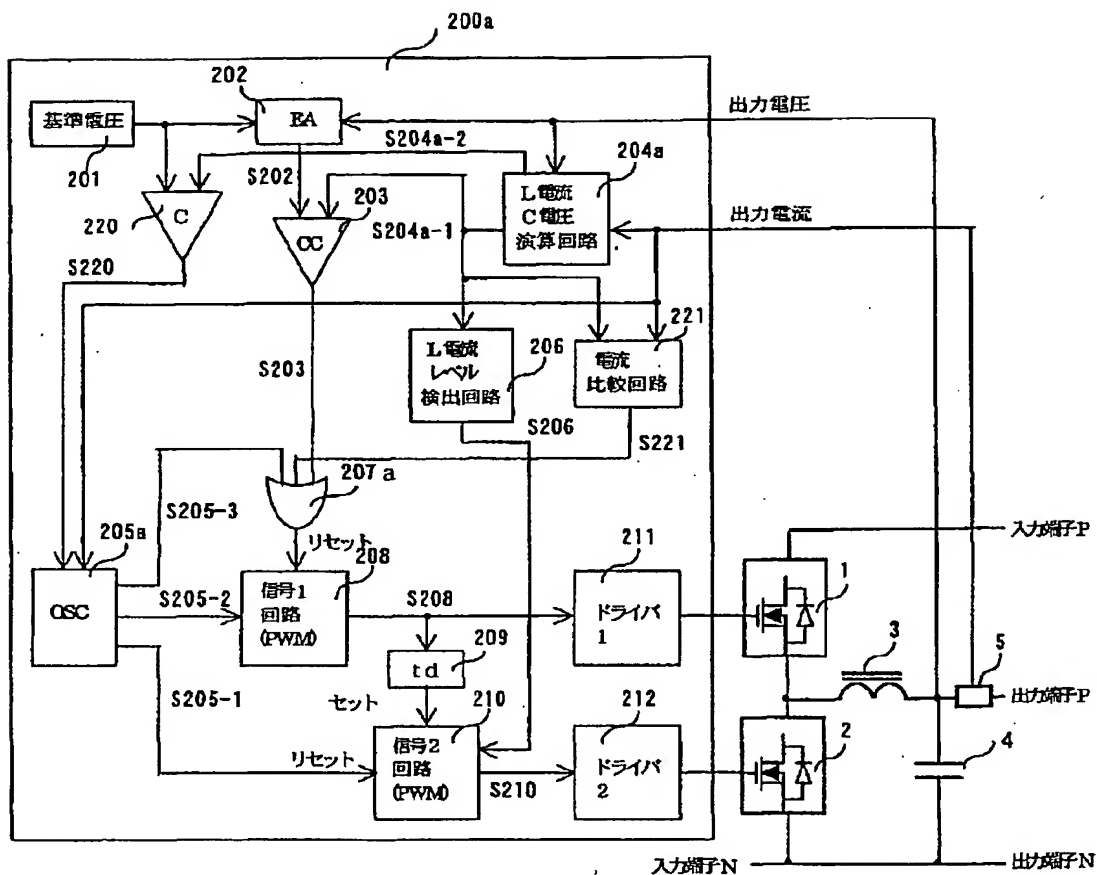


【図6】

図 6



【図2】



【図7】

図 7

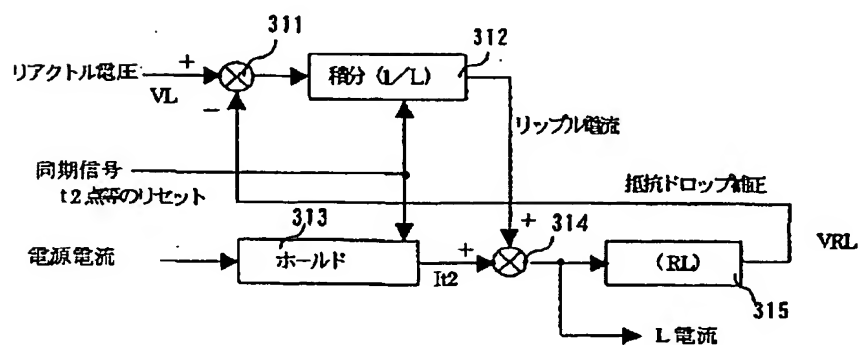
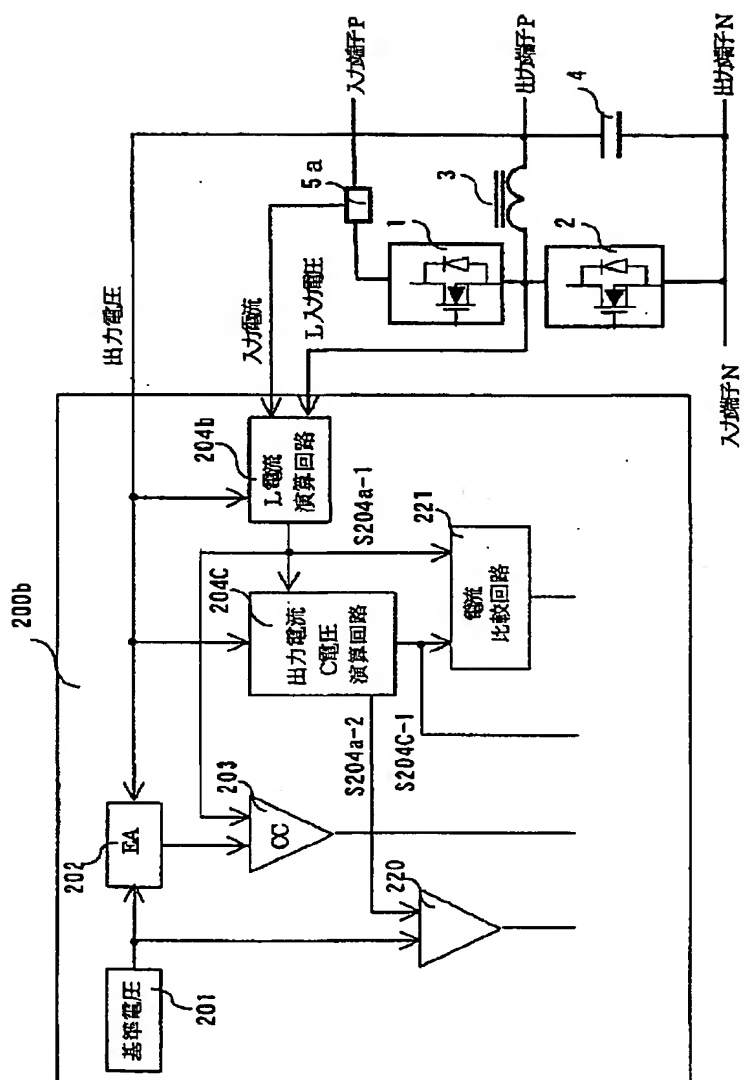
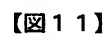


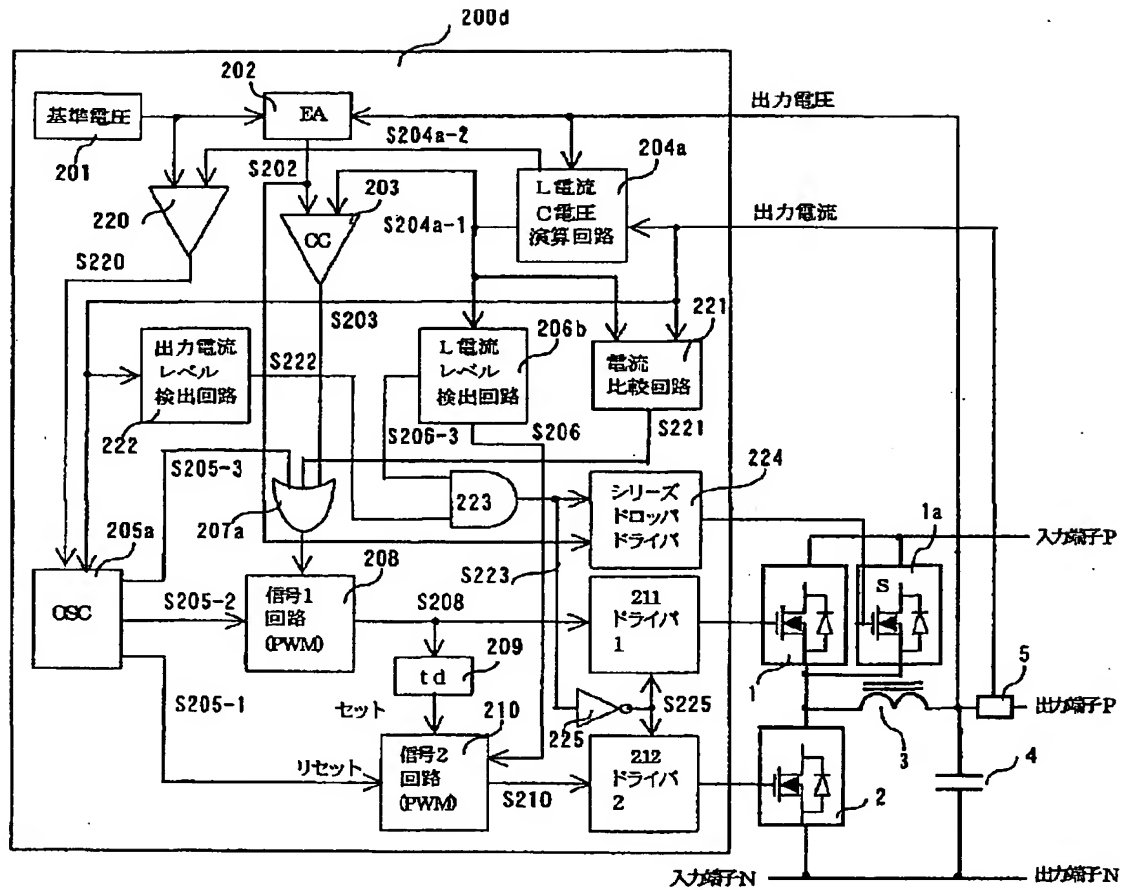
图 3



4

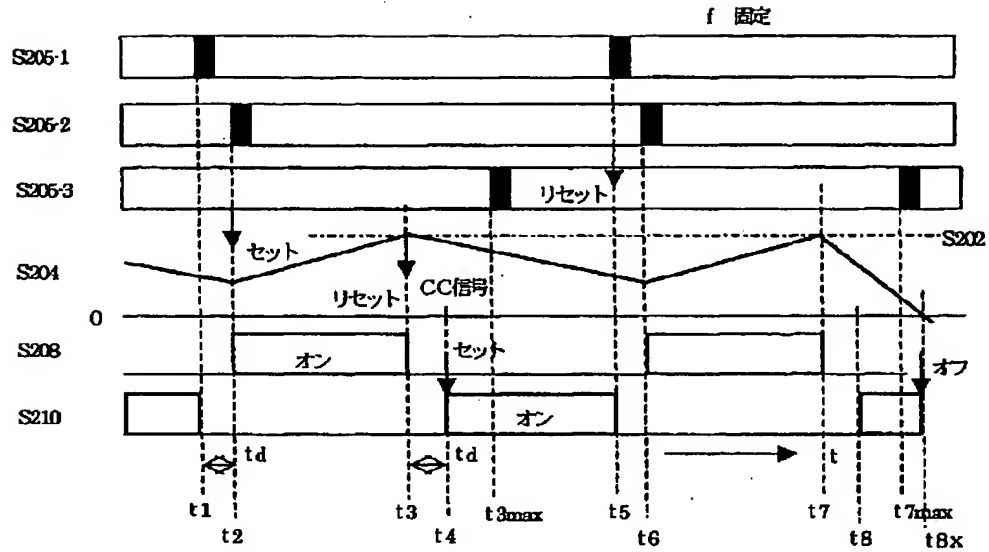


【図5】



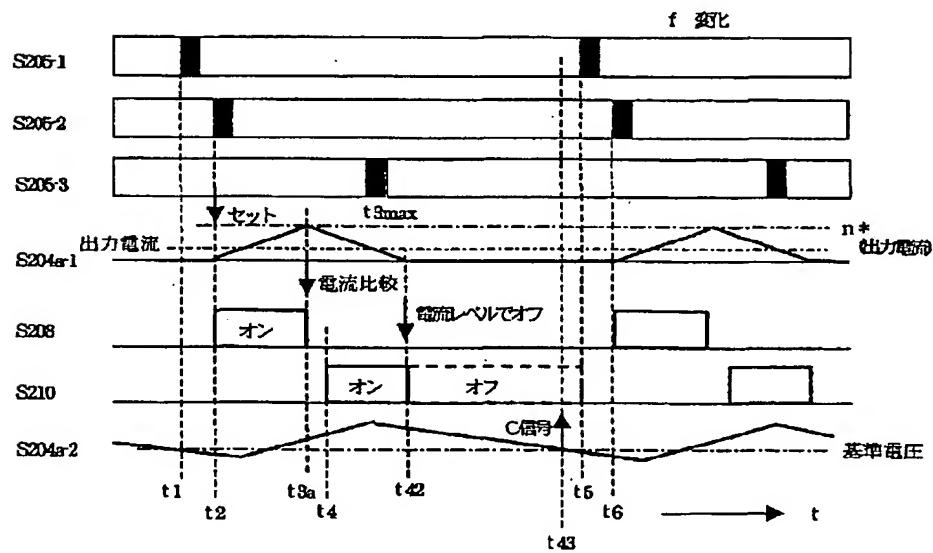
【図9】

図 9



【図10】

図 10



フロントページの続き

(72)発明者 尾中 猛

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 嵯峨 良平

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 叶田 玲彦

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内Fターム(参考) 5H006 CA02 CB07 DA04 DB01 DC02
5H730 AA14 AS01 AS05 BB13 BB57
BB89 DD04 EE08 EE10 EE13
EE19 FD31 FD58 FG05 FG23

PCTWORLD INTELLECTUAL PROPERTY ORGANIZATION
International Bureau

INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(51) International Patent Classification ⁶ : G05F 1/50, 3/335	A1	(11) International Publication Number: WO 00/26740 (43) International Publication Date: 11 May 2000 (11.05.00)
--	-----------	--

(21) International Application Number: PCT/US99/25720

(22) International Filing Date: 1 November 1999 (01.11.99)

(30) Priority Data:

09/183,325	30 October 1998 (30.10.98)	US
09/183,448	30 October 1998 (30.10.98)	US
09/183,326	30 October 1998 (30.10.98)	US
09/183,337	30 October 1998 (30.10.98)	US

(71) Applicant: VOLTERRA SEMICONDUCTOR CORPORATION [US/US]; Suite 202, 42840 Christy Street, Fremont, CA 94538 (US).

(72) Inventors: BURNSTEIN, Andrew, J.; 575 Rengstorff Avenue #85, Mountain View, CA 94040 (US). SCHULTZ, Aaron, M.; 896 Coolidge Avenue, Sunnyvale, CA 94086 (US). CHRISTENSON, Michael; 1429A Martin Luther King, Jr. Way, Berkeley, CA 94709 (US). LIDSKY, David, B.; 5739 Colton Boulevard, Oakland, CA 94611 (US). STRATAKOS, Anthony; 39241 Red Hawk Ranch B201, Fremont, CA 94538 (US). SULLIVAN, Charlie; 7 South Park Street, Hanover, NH 03755 (US). CLARK, William; 35624 Terrace Drive, Fremont, CA 94536 (US).

(74) Agent: GOREN, David, J.; Fish & Richardson P.C., Suite 100, 2200 Sand Hill Road, Menlo Park, CA 94025 (US).

(81) Designated States: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW, ARIPO patent (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

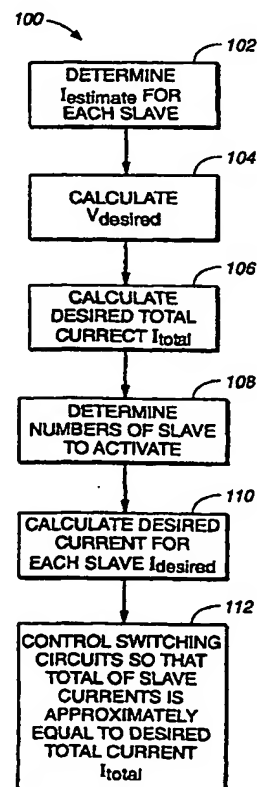
Published

With international search report.

(54) Title: METHOD AND APPARATUS FOR DIGITAL VOLTAGE REGULATION

(57) Abstract

A digital voltage regulator has an input terminal (20) coupled to an input voltage source (12), an output terminal (22) coupled to a load (14), and a plurality of switching circuits (24) to alternately couple and decouple the input terminal (20) to the output terminal (22). An estimated current is calculated for each switching circuit (24), each estimated current representing a current passing through an inductor (34) associated with the switching circuit (24). A total desired output current to pass through the inductor (34) is calculated which will maintain an output voltage at the output terminal (22) substantially constant. The switching circuits (24) are controlled based on the estimated current and the total desired output current so that a total current passing through the inductor (34) is approximately equal to the total desired output current.



(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号
特表2002-530036
(P2002-530036A)

(43) 公表日 平成14年9月10日 (2002.9.10)

(51) Int.Cl.⁷

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

テマコード* (参考)

W 5 H 7 3 0

審査請求 未請求 予備審査請求 有 (全 87 頁)

(21) 出願番号 特願2000-580058(P2000-580058)
(86) (22) 出願日 平成11年11月1日 (1999.11.1)
(85) 翻訳文提出日 平成13年5月1日 (2001.5.1)
(86) 国際出願番号 P C T / U S 9 9 / 2 5 7 2 0
(87) 国際公開番号 W O 0 0 / 2 6 7 4 0
(87) 国際公開日 平成12年5月11日 (2000.5.11)
(31) 優先権主張番号 0 9 / 1 8 3 , 3 2 5
(32) 優先日 平成10年10月30日 (1998.10.30)
(33) 優先権主張国 米国 (U S)
(31) 優先権主張番号 0 9 / 1 8 3 , 4 4 8
(32) 優先日 平成10年10月30日 (1998.10.30)
(33) 優先権主張国 米国 (U S)

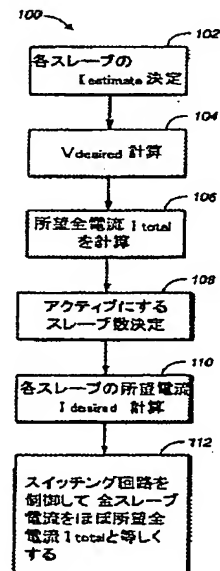
(71) 出願人 ヲォルテラ セミコンダクター コーポレ
イション
アメリカ合衆国, カリフォルニア州,
フレモント, クリスティー ストリート
42840, スイート202
(72) 発明者 バーンズティン, アンドリュウ, ジェ
イ.
アメリカ合衆国, カリフォルニア州,
マウンテン ヴュー, レングストロフ
アヴェニュー 575 ナンバー85
(74) 代理人 弁理士 山田 行一 (外1名)

最終頁に続く

(54) 【発明の名称】 デジタル電圧調整の方法と装置

(57) 【要約】

デジタル電圧レギュレータは、入力電圧源 (1 2) に接
続される入力端子 (2 0)、負荷 (1 4) に接続される
出力端子 (2 2)、および入力端子 (2 0) を出力端子
(2 2) へ交互に接続または遮断するための複数のスイ
ッチング回路 (2 4) を有する。各スイッチング回路
(2 4) について推定電流が計算され、各推定電流はス
イッチング回路 (2 4) に関連付けられるインダクタ
(3 4) を流れる電流を表す。出力端子 (2 2) での出
力電圧を実質的に一定に維持するインダクタ (3 4) を
流れる全所望出力電流が計算される。スイッチング回路
(2 4) は、推定電流および全所望出力電流に基づいて
制御され、それによりインダクタ (3 4) を流れる全電
流は全所望出力電流とほぼ等しくなる。



【特許請求の範囲】

【請求項1】 入力電圧源に接続される入力端子、負荷に接続される出力端子、および前記入力端子を前記出力端子に交互に接続と遮断をする複数のスイッチング回路を有する電圧レギュレータを動作させる方法であって：

- a) 各スイッチング回路のための推定電流、すなわち前記スイッチング回路に関連するインダクタを流れる電流を表す各推定電流を計算するステップ；
- b) 前記出力端子での出力電圧を実質的に一定に維持する前記インダクタを流れる全所望出力電流を計算するステップ；および、
- c) 前記インダクタを流れる全電流が、前記全所望出力電流にほぼ等しくなるように、前記推定電流と前記全所望出力電流に基づいて前記スイッチング回路を制御するステップ；を含む方法。

【請求項2】 ステップ（a）乃至（c）が繰り返される、請求項1の方法。

【請求項3】 ステップ（a）乃至（c）が、前記スイッチング回路の所望スイッチング周波数 f_{switch} より著しく速いクロック周波数 f_{clock} で繰り返される、請求項1の方法。

【請求項4】 前記全所望出力電流を計算するステップが、前記スイッチング回路を流れる前記全電流を判定するステップと、前記出力端子に接続されるコンデンサへ、またはそこから流れる容量性の電流を判定するステップを含む、請求項1の方法。

【請求項5】 前記スイッチング回路を流れる前記全電流と判定するステップが、各インダクタに対する前記推定電流を合計するステップを含む、請求項4の方法。

【請求項6】 前記容量性の電流を判定するステップが、前記出力電圧における変動を測定するステップを含む、請求項4の方法。

【請求項7】 前記容量性の電流は以下の式から計算され：

$$I_{\text{CAP}} = C \cdot \Delta V_{\text{out}} / \Delta T$$

ここで、 C は前記出力端子に接続される前記コンデンサの全容量、 ΔV_{out} はクロックサイクル全体にわたる前記出力電圧における前記変動、そして T は前記クロックサイクルの前記期間である、請求項6の方法。

【請求項 8】 前記全所望出力電流を計算するステップが、前記出力電圧の誤差を補正するための調整電流を決定するステップを更に含む、請求項 4 の方法。

【請求項 9】 前記調整電流が前記出力電圧と所望電圧の差に比例する、請求項 8 の方法。

【請求項 10】 前記電流が所定の電流レベルより高い場合、前記所望電圧を増加させ、前記電流が前記所定の電流レベル未満の場合、前記所望電圧を減少させるステップを更に含む、請求項 9 の方法。

【請求項 11】 多くのアクティブスイッチング回路を判定するステップを更に含む、請求項 1 の方法。

【請求項 12】 アクティブスイッチング回路の前記数が前記全所望電流にほぼ比例する、請求項 11 の方法。

【請求項 13】 アクティブスレーブの新規の数が、アクティブスイッチング回路の古い数および前記全所望電流に基づく、請求項 12 の方法。

【請求項 14】 アクティブスレーブの前記数の前記決定が、アクティブスイッチング回路の前記数の過度の変更を避けるヒステリシス効果を含む、請求項 12 の方法。

【請求項 15】 各スイッチング回路の個々の所望出力電流を計算するステップを更に含み、前記個々の所望出力電流の前記合計が前全所望出力電流に等しい、請求項 11 の方法。

【請求項 16】 前記アクティブスイッチング回路の前記個々の所望電流が、アクティブスイッチング回路の前記数により分割される前記全所望電流にほぼ等しい、請求項 15 の方法。

【請求項 17】 前記非アクティブスレーブのための前記個々の所望電流がほぼゼロである、請求項 15 の方法。

【請求項 18】 前記所望全電流の計算が、公称電圧の電圧許容範囲内である所望電圧を決定するステップを含む、請求項 1 の方法。

【請求項 19】 前記所望電圧の決定は、前記電流が最大電流に近い場合、前記公称電圧より上に前記所望電圧をセットするステップと、前記電流がゼロに近い場合、前記公称電圧未満に前記所望電圧をセットするステップを含む、請求項

18の方法。

【請求項20】 前記所望電圧を決定するステップは、前のクロックサイクルからの前記所望電圧と前記電流電圧の前記差に比例する項による前記所望電圧を調整するステップを含む、請求項18の方法。

【請求項21】 クロックサイクル $n+1$ についての前記所望電圧 $V_{desired}[n+1]$ は以下の式により決定され：

$$V_{desired[n+1]} = c_1 V_{nom} + c_2 (V_{nom} - V_{desired[n]}) + (c_1 + c_2) \left(1 - 2 \frac{I_{load}}{I_{max}} \right) \cdot \Delta V_{swing} \quad (5)$$

ここで、 V_{nom} は公称電圧、 $V_{desired[n]}$ は前記クロックサイクル n からの前記所望電圧、 I_{load} は前記負荷を流れる前記電流、 I_{max} は前記負荷を流れる前記許容最大電流、 ΔV_{swing} は前記電圧許容範囲により許容される電圧内の変動、そして c_1 と c_2 はフィードバック定数である、請求項20の方法。

【請求項22】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータであって：

a) デジタル制御信号に応答して間欠的に前記入力端子と前記出力端子を接続する複数のスイッチング回路；

b) 各フィルタがインダクタを含む前記出力端子にほぼDCの出力電圧を提供する複数の前記フィルタ；

c) 前記スイッチング回路を流れる前記電流から導かれる複数のフィードバック信号を生じる複数の電流センサ；および、

d) 前記複数フィードバック信号を受け取って使用するデジタルコントローラを備え、前記デジタルコントローラは：

i) 各スイッチング回路についての推定電流を計算し、ここで前記各推定電流は、前記スイッチング回路に関連付けられる前記インダクタを流れる電流を表し；

ii) 前記出力端子での出力電圧を実質的に一定に維持する前記インダクタを流れる全所望出力電流を計算し；そして、

iii) 前記インダクタを流れる全電流が前記全所望出力電流にほぼ等しくなるように前記推定電流と前記全所望出力電流に基づいて前記デジタル制御信号を生成する；

電圧レギュレータ。

【請求項23】 出力端子での出力電圧を実質的に一定に維持するために電圧レギュレータのスイッチング回路を流れる全所望電流を判定する方法であって、前記スイッチング回路は、入力電圧源と接続される入力端子を負荷と接続される前記出力端子に間欠的に接続し、前記電圧レギュレータは、前記出力端子に接続される少なくとも一つのコンデンサを含み、前記方法が：

第1の時間に前記出力端子での第1の出力電圧を測定するステップ；

第2の時間に前記出力端子での第2の出力電圧を測定するステップ；

前記インダクタを流れる前記電流を表す推定電流を計算するステップ；

前記第1の出力電圧と前記第2の出力電圧の差に基づいて、前記少なくとも一つのコンデンサへ、またはそこから流れる電流を表すキャパシタンス電流を計算するステップ；

所望電圧および前記第1と第2の出力電圧のうちの一つの差に基づいて補正電流を計算するステップ；および、

前記推定電流と前記補正電流の合計と、前記キャパシタンス電流との差から前記電圧レギュレータに対する全所望電流を計算するステップ；を含む方法。

【請求項24】 入力電圧源に接続される入力端子と負荷に接続される出力端子を持つ電圧レギュレータであって：

デジタル制御信号に応答して前記入力端子と前記出力端子を間欠的に接続するスイッチング回路；

前記出力端子でのほぼDCの出力電圧を提供するフィルタ；

前記スイッチング回路を流れる前記電流を表すデジタルの第1のフィードバック信号を生成する電流センサ；

前記出力電圧を表す第2のフィードバック信号を生成する電圧センサ；および、

前記デジタル制御信号を生成する前記デジタルフィードバック信号を受け取っ

て使用するデジタルコントローラ、すなわち前記出力端子での前記出力電圧を実質的に一定のレベルに維持するために構成される前記デジタルコントローラ；を備える電圧レギュレータ。

【請求項 25】 前記スイッチング回路が、前記出力端子を少なくとも間欠的にグラウンドに接続する整流子を含む、請求項 24 の電圧レギュレータ。

【請求項 26】 前記スイッチング回路、フィルタおよび電流センサは、第 1 の IC チップ上に製造され、前記デジタルコントローラは第 2 の別の IC チップ上に製造される、請求項 24 の電圧レギュレータ。

【請求項 27】 前記デジタルフィードバック信号は、前記電流がスレッシュホールド電流を超えるか否かを示す、請求項 24 の電圧レギュレータ。

【請求項 28】 前記電流センサは、複数のデジタルフィードバック信号を生成し、前記各信号は前記電流が別のスレッシュホールド電流を超えたか否かを表す、請求項 27 の電圧レギュレータ。

【請求項 29】 前記電流センサは、複数のデジタルフィードバック信号を生成し、前記各信号は前記電流が別のスレッシュホールド電流と交差したか否かを表す、請求項 27 の電圧レギュレータ。

【請求項 30】 前記スイッチング回路を流れる電流が前記スレッシュホールド電流より大きい安全限界を超える場合、前記デジタル制御信号を無効にし、かつ前記スイッチング回路を開く故障保護回路を更に備える、請求項 27 の電圧レギュレータ。

【請求項 31】 前記故障保護回路は、前記電流が前記安全限界を超える場合、前記デジタルコントローラによって受け取られる第 2 のデジタルフィードバック信号を生成する、請求項 30 の電圧レギュレータ。

【請求項 32】 前記スイッチング回路は、前記出力端子を前記入力端子へ接続する第 1 のトランジスタおよび前記出力端子をグラウンドに接続する第 2 のトランジスタを含む、請求項 27 の電圧レギュレータ。

【請求項 33】 前記電流センサは、前記第 1 のトランジスタを流れる電流を示す第 1 のフィードバックライン上の第 1 のデジタルフィードバック信号を生成する第 1 のセンサ、および前記第 2 のトランジスタを流れる電流を表す第 2 のフ

ィードバックライン上の第2のデジタルフィードバック信号を生成する第2のセンサを含む、請求項32の電圧レギュレータ。

【請求項34】 前記第1と第2のフィードバックラインが、前記デジタルコントローラに接続される第3のフィードバックラインに接続される。前記デジタルコントローラは、どのトランジスタが前記第3のフィードバックライン上の前記信号により表されるかを判定するロジックを含む、請求項33の電圧レギュレータ。

【請求項35】 前記デジタル制御信号を受け取って、前記第1と第2のトランジスタをスイッチングする命令に前記デジタル制御信号を変換する前記スレーブに設置されるインタープリタを更に備える、請求項32の電圧レギュレータ。

【請求項36】 前記デジタルコントローラによって生成される前記デジタル制御信号は、第1の制御ライン上の第1の制御信号および第2の制御ライン上の第2の制御信号を含み、前記インタープリタは、前記第1の制御信号を、前記第1のトランジスタを開いて前記第2のトランジスタを閉じる命令へ変換し、前記第2の制御信号を、前記第1のトランジスタを閉じて前記第2のトランジスタを開く第2の命令へ変換する、請求項35の電圧レギュレータ。

【請求項37】 前記デジタルコントローラによって生成される前記デジタル制御信号は、第3の制御ライン上の第3の制御信号を含み、前記インタープリタは、第3の制御信号を前記第1と第2のトランジスタを開く命令に変換する、請求項36の電圧レギュレータ。

【請求項38】 前記インタープリタは、前記第2のトランジスタが閉じて前記電流がゼロ未満へ低下する場合、第3の制御信号を前記第1と第2のトランジスタを開く命令に変換する、請求項37の電圧レギュレータ。

【請求項39】 前記デジタルコントローラによって受け取られる前記スイッチングレギュレータの前記状態を示すデジタルの状態信号を生成するための状態センサを更に備える、請求項24の電圧レギュレータ。

【請求項40】 前記スレーブは、前記デジタル制御信号を受け取って、前記デジタル制御信号を前記スイッチング回路をスイッチングする命令に変換するインタープリタを含む、請求項24の電圧レギュレータ。

【請求項4-1】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータであって：

a) それぞれが以下を含む複数のスレーブ：

i) デジタル制御信号に応答して間欠的に前記入力端子と前記出力端子を接続するスイッチング回路；

ii) 前記出力端子にほぼDCの出力電圧を提供するフィルタ；

iii) 前記スイッチング回路を流れる電流を表すデジタルフィードバック信号を生成する電流センサ；

b) 複数のデジタル制御信号を生成する複数の前記スレーブからの前記デジタルフィードバック信号を受け取って使用するデジタルコントローラであって、前記出力端子での前記出力電圧を実質的に一定のレベルに維持するよう構成される前記デジタルコントローラ；を含む、電圧レギュレータ。

【請求項4-2】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータを動作させる方法であって：

デジタル制御信号に応答して前記入力端子と前記出力端子をスイッチング回路で間欠的に接続するステップ；

前記出力端子にほぼDCの出力電圧を提供するために前記スイッチング回路の出力をフィルタリングするステップ；

電流センサを有する前記スイッチング回路を流れる電流を表しているデジタルフィードバック信号を生成するステップ；および、

前記デジタル制御信号を生成するためにデジタルコントローラ内の前記スレーブから前記デジタルフィードバック信号を受け取って使用するステップ、ここで前記デジタルコントローラは前記出力端子での前記出力電圧を実質的に一定のレベルに維持するために構成される；を含む方法。

【請求項4-3】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータであって：

制御信号に応答して間欠的に前記入力端子と前記出力端子を接続するスイッチング回路；

前記出力端子にほぼDCの出力電圧を提供するフィルタ；および、

前記スイッチング回路の所望スイッチング周波数 f_{switch} より著しく速いクロック周波数 f_{clock} で動作するデジタルコントローラを含み、ここで、前記デジタルコントローラは、クロックサイクル毎に、前記出力端子での出力電圧から導かれる第1のデジタルフィードバック信号、および前記スイッチング回路を流れる電流から導かれる第2のデジタルフィードバック信号を受け取って、前記出力電圧が実質的に一定のレベルに維持されるように前記スイッチング回路を制御する前記制御信号を生成する。

【請求項44】 前記第1のデジタルフィードバック信号を生成する電流センサを更に備える、請求項43の電圧レギュレータ。

【請求項45】 前記第2のデジタルフィードバック信号を生成する電圧センサを更に備える、請求項44の電圧レギュレータ。

【請求項46】 前記電圧センサはA/D変換器を含む、請求項45の電圧レギュレータ。

【請求項47】 前記電圧センサは電圧サンプリング回路を更に含む、請求項46の電圧レギュレータ。

【請求項48】 前記スイッチング回路、フィルタおよび電流センサは第1のICチップ上に製造され、前記デジタルコントローラと電圧センサは第2の異なるICチップ上に製造される、請求項45の電圧レギュレータ。

【請求項49】 前記スイッチング回路、フィルタおよび電流センサは第1のICチップ上に製造され、前記電圧センサは第2のICチップ上に製造され、そして前記デジタルコントローラは第3のICチップ上に組み立てられる、請求項45の電圧レギュレータ。

【請求項50】 前記第1のデジタルフィードバック信号は前記出力電圧と公称電圧の前記差を表す、請求項43の電圧レギュレータ。

【請求項51】 前記第1のデジタルフィードバック信号は、現在のクロックサイクルでの前記出力電圧と前のクロックサイクルでの出力電圧の前記差を表す、請求項43の電圧レギュレータ。

【請求項52】 前記デジタルコントローラは、クロックサイクル毎に、前記出力端子での出力電圧から導かれる第3のデジタルフィードバック信号を受け取

る、請求項43の電圧レギュレータ。

【請求項53】 前記第1のデジタルフィードバック信号は、前記出力電圧と公称電圧の前記差に等しく、前記第3のデジタルフィードバック信号は、現在のクロックサイクルにおける前記出力電圧と、前のクロックサイクルにおける出力電圧内の前記差に等しい、請求項52の電圧レギュレータ。

【請求項54】 前記第1のデジタルフィードバック信号は前記出力電圧である、請求項43の電圧レギュレータ。

【請求項55】 デジタルコントローラは前記出力端子に接続され、前記コントローラは、前記出力電圧と基準電圧の差を捕捉するサンプリング回路を含み、更に、前記デジタルコントローラは、前記サンプリング回路によって保持される前記電荷をデジタル信号に変換するためのA/D変換器を含む、請求項43の電圧レギュレータ。

【請求項56】 前記基準電圧は接地される、請求項32の電圧レギュレータ。

【請求項57】 前記基準電圧は公称電圧である、請求項32の電圧レギュレータ。

【請求項58】 前記基準電圧は、前のクロックサイクルからの出力電圧である、請求項32の電圧レギュレータ。

【請求項59】 前記入力端子と前記出力端子を間欠的に接続するための複数のスイッチング回路を更に備え、ここで、前記デジタルコントローラは、クロックサイクル毎に各スイッチング回路に対する第2のデジタルフィードバック信号を受け取り、そのスイッチング回路に対する制御信号を生成し、前記各第2のデジタルフィードバック信号は関連スイッチング回路を流れる電流から導かれる、請求項43の電圧レギュレータ。

【請求項60】 入力電圧源に接続される入力端子と負荷に接続される出力端子を有する電圧レギュレータを動作させる方法であって：

制御信号に応答して前記入力端子および前記出力端子をスイッチング回路で間欠的に接続するステップ；

前記出力端子にほぼDCの出力電圧を提供するために前記スイッチング回路の

出力をフィルタをかけるステップ；

前記スイッチング回路の所望スイッチング周波数 f_{switch} より著しく速いクロック周波数 f_{clock} でデジタルコントローラを動作させるステップ；

前記デジタルコントローラにおいてクロックサイクル毎に前記出力端子での出力電圧から導き出される第1のデジタルフィードバック信号を受け取るステップ；

前記デジタルコントローラにおいてクロックサイクル毎に前記スイッチング回路を流れる電流から導き出される第2のデジタルフィードバック信号を受け取るステップ；および、

前記出力電圧が実質的に一定のレベルに維持されるように前記スイッチング回路を制御するために前記デジタルコントローラによって前記制御信号を生成するステップを含む方法。

【請求項61】 入力電圧源に接続される入力端子、負荷に接続される出力端子、前記入力端子を中間端子に接続するスイッチング回路、および前記出力端子に実質的にDC電圧を発生させるインダクタを持つフィルタを有する電圧レギュレータを動作させる方法であって：

前記インダクタを流れる前記電流を表す初期の推定電流を記憶するステップ；

前記スイッチング回路の前記状態に基づく前記初期の推定電流を、新規の推定電流を生成するように調整するステップ；

前記出力端子での出力電圧を実質的に一定に維持する前記インダクタを流れる全所望出力電流を決定するステップ；および、

前記インダクタを流れる全電流が前記全所望出力電流にほぼ等しくなるように、前記推定電流および前記全所望出力電流に基づいて前記スイッチング回路を制御するステップを含む方法。

【請求項62】 前記スイッチング回路は、前記入力端子を前記中間端子に間欠的に接続する第1のトランジスタ、および前記中間端子を間欠的にグランドに接続する第2のトランジスタを含む；請求項61の方法。

【請求項63】 前記第1のトランジスタが閉じている場合、前記調整ステップが増加電流を前記初期の推定電流に加算するステップを含む、請求項62の方

法。

【請求項64】 前記前記第2のトランジスタが閉じている場合、前記調整ステップが減少電流を前記初期の推定電流から減算するステップを含む、請求項62の方法。

【請求項65】 前記スイッチング回路が前記入力端子を前記中間端子に間欠的に接続する第1のトランジスタ、および前記中間端子をグランドに間欠的に接続するダイオードを含む、請求項61の方法。

【請求項66】 前記記憶するステップおよび調整するステップはクロック周波数で発生する、請求項61の方法。

【請求項67】 前記クロック周波数は、前記スイッチング回路の所望スイッチング周波数より著しく速い、請求項66の方法。

【請求項68】 前記調整するステップは、前記中間端子が前記入力端子に接続される場合、増加電流を前記初期の推定電流に加算し、前記中間端子がグランドに接続される場合、減少電流を前記初期の推定電流から減算する、請求項66の方法。

【請求項69】 前記増加電流は、前記入力端子での入力電圧、前記出力端子での出力電圧、前記スイッチング回路と前記出力端子の間に配設されるインダクタのインダクタンス、および前記クロック周波数に基づいて選択される、請求項68の方法。

【請求項70】 前記増加電流は、 $(V_{in} - V_{out}) / L \times f_{clock}$ から計算され、ここで、 V_{in} は前記入力電圧、 V_{out} は前記出力電圧、 L は前記インダクタンス、および f_{clock} は前記クロック周波数を表す、請求項69の方法。

【請求項71】 前記減少電流は、前記出力端子での出力電圧、前記中間端子と前記出力端子の間に配設されるインダクタのインダクタンス、および前記クロック周波数に基づいて選択される、請求項68の方法。

【請求項72】 前記減少電流は $V_{out} / L \times f_{clock}$ で計算され、ここで、 V_{out} は前記出力電圧、 L は前記インダクタンス、および f_{clock} は前記クロック周波数を表す、請求項71の方法。

【請求項73】 前記増加および減少電流は公称値に基づく、請求項68の方

法。

【請求項74】 前記増加および減少電流は動的に調整される、請求項68の方法。

【請求項75】 前記スイッチング回路を流れる前記実電流を表すフィードバック信号を生成するステップ、およびフィードバック信号に基づいて前記推定電流を補正するステップを更に備える、請求項61の方法。

【請求項76】 前記記憶するステップおよび調整ステップは前記補正ステップより高い周波数で発生する、請求項75の方法。

【請求項77】 前記記憶するステップおよび調整ステップは、一連のクロックサイクルで実行され、かつ前記補正ステップがいくつかの前記クロックサイクル内に発生する、請求項76の方法。

【請求項78】 前記フィードバックは、前記実電流がスレッシュホールド電流より上かまたは未満であることを示す、請求項61の方法。

【請求項79】 前記中間端子が前記入力端子に接続される場合、前記増加電流の加算が、前記推定電流が前記スレッシュホールド電流を超える原因となる場合、および前記フィードバック信号が前記実電流が前記スレッシュホールド電流未満であることを示す場合、前記推定電流を前記スレッシュホールド電流付近に保持するステップを更に備える、請求項78の方法。

【請求項80】 前記中間端子がグランドに接続される場合、前記増加電流の減算が、前記推定電流が前記スレッシュホールド電流未満になる原因となる場合、および前記実電流が前記スレッシュホールド電流を超えることを前記フィードバック信号が示す場合、前記推定電流を前記スレッシュホールド電流付近に保持するステップを更に備える、請求項78の方法。

【請求項81】 前記スイッチング回路が閉じている場合、前記推定電流が前記スレッシュホールド電流より少ない場合、および前記実電流が前記スレッシュホールド電流を超えることを前記フィードバック信号が示す場合、前記推定電流を前記スレッシュホールド電流と等しくセットするステップを更に備える、請求項78の方法。

【請求項82】 前記出力端子が接地接続されている場合、前記推定電流が前

記スレッシュホールド電流より大きい場合、および前記実電流が前記スレッシュホールド電流未満となることを前記フィードバック信号が示す場合、前記推定電流を前記スレッシュホールド電流と等しくセットするステップを更に備える、請求項78の方法。

【請求項83】 前記フィードバック信号を生成するセンサ内比較器の起動に必要な前記スイッチング時間によって発生する遅延時間、および前記フィードバック信号が前記センサから前記スイッチング回路を制御するコントローラまで伝わるのに必要な前記伝播時間に対する前記推定電流を調整するステップを更に備える、請求項68の方法。

【請求項84】 前記調整するステップが、前記増加値、前記クロックサイクルおよび前記スイッチング周波数に基づく、請求項68の方法。

【請求項85】 前記調整するステップが、前記減少値、前記クロックサイクルおよび前記スイッチング周波数に基づく、請求項68の方法。

【請求項86】 電圧レギュレータのインダクタを流れる電流を推定する方法であって、前記電圧レギュレータは出力端子を入力端子に間欠的に接続するためのスイッチング回路を含み、前記方法は：

前記インダクタを流れる前記電流を表す初期の推定電流を記憶するステップ；
および、

新規の推定電流を生成させるために前記スイッチング回路の前記状態に基づいて前記初期の推定電流を調整するステップ；を含む方法。

【請求項87】 電圧レギュレータのインダクタを流れる電流を評価する方法であって、前記電圧レギュレータは出力端子を入力端子に間欠的に接続するスイッチング回路を含み、前記方法は：

前記インダクタを流れる前記電流を表す初期の推定電流を記憶するステップ；
前記出力端子が前記入力端子に接続される場合、前記初期の推定電流に増加電流を加算するステップ；および、

前記出力端子が接地接続される場合、前記初期の推定電流から減少電流を減算するステップ；を含む方法。

【請求項88】 入力電圧源に接続される入力端子と負荷に接続される出力端

子を有する電圧レギュレータであって：

a) 制御信号に応答して前記入力端子と前記出力端子を間欠的に接続するスイッチング回路；

b) 前記出力端子にほぼDCの出力電圧を提供するフィルタであって、前記フィルタはインダクタを含むように成した前記フィルタ；および

c) デジタルコントローラ；を含み、
前記デジタルコントローラは：

i) 前記インダクタを介して流れる前記電流を表す初期の推定電流を記憶し；

ii) 前記スイッチング回路の前記状態に基づいて前記初期の推定電流が新規の推定電流を生じるように調整し；

iii) 出力電圧を実質的に一定に維持する前記インダクタを流れる全所望出力電流を判定し；および、

iv) 前記出力電圧を実質的に一定のレベルに維持するために、前記スイッチング回路を制御するよう前記調整された推定電流および前記全所望出力電流に基づく前記制御信号を生成する；電圧レギュレータ。

【請求項89】 入力電圧源に接続される入力端子、負荷に接続される出力端子、および前記入力端子および前記出力端子を間欠的に接続する少なくとも一つのスイッチング回路、を有する電圧レギュレータを動作させる方法であって：

前記少なくとも一つのスイッチング回路の各々に対する推定電流、ここで前記各推定電流は関連するスイッチング回路のインダクタを流れる電流を表す、を判定するステップ；

前記出力端子での出力電圧を実質的に一定のレベルに維持する前記インダクタを流れる所望全出力電流を計算するステップ；

上限電流と下限電流を計算するステップ、前記上限電流と下限電流の前記平均は、前記インダクタの一つについての個々の所望出力電流に等しい；および、

前記スイッチング回路の一つ以上について、前記推定電流が前記下限電流を下回る場合、前記スイッチング回路に前記入力端子を前記出力端子に接続させ、そして前記推定電流が前記上限電流を超える場合、前記スイッチング回路に前記出力端子をグランドに接続させるステップ；を含む方法。

【請求項90】 前記電圧レギュレータは複数のスイッチング回路を含む、請求項89の方法。

【請求項91】 基準回路として前記複数のスイッチング回路の一つを選択するステップを更に備え、前記残りのスイッチング回路が非基準回路である、請求項90の方法。

【請求項92】 各非基準スイッチング回路に対する所望位相オフセットを判定するステップを更に備える、請求項91の方法。

【請求項93】 前記推定電流が前記下限電流未満に低下する場合、前記基準回路は、前記入力端子と前記出力端子を接続し、前記推定電流が前記上限電流を超える場合、前記出力端子をグラウンドに接続する、請求項92の方法。

【請求項94】 複数の上限電流と複数の下限電流を計算するステップを更に備え、各非基準回路に関連する一つの上限電流および一つの下限電流が存在する、請求項92の方法。

【請求項95】 各非基準回路は、関連する推定電流が関連する下限電流未満に低下する場合、前記入力端子と前記出力端子を接続し、前記関連する推定電流が関連する上限電流を超える場合、前記出力端子を接地接続する、請求項94の方法。

【請求項96】 前記複数の上下限電流は、所望スイッチング周波数および前記所望位相オフセットから導かれる、請求項95の方法。

【請求項97】 前記基準回路と前記非基準回路間の前記実際の位相オフセットを測定するステップを更に備える、請求項95の方法。

【請求項98】 前記上下限電流の前記差は、前記実際の位相オフセットと前記所望位相オフセットの前記差によって調整される、請求項95の方法。

【請求項99】 各非基準回路は、前記基準回路が前記入力端子と前記出力端子を接続した後、前記所望位相オフセットで前記入力端子と前記出力端子を接続する、請求項92の方法。

【請求項100】 各非基準回路は、前記関連する推定電流が前記関連する上限電流を超える場合、前記出力端子を接地接続する、請求項99の方法。

【請求項101】 各非基準回路は、前記基準回路が前記出力端子を接地接続

した後、前記所望位相オフセットで前記出力端子を接地接続する、請求項92の方法。

【請求項102】 前記関連する推定電流が前記関連する下限電流を下回る場合、各非基準回路は前記入力端子と前記出力端子を接続する、請求項101の方法。

【請求項103】 入力電圧源に接続される入力端子、負荷に接続される出力端子、および前記入力端子と前記出力端子を間欠的に接続する少なくとも一つのスイッチング回路を有する電圧レギュレータを動作させる方法であって：

少なくとも一つの前記スイッチング回路の各々についての推定電流を判定するステップ、前記各推定電流は各スイッチング回路と関連するインダクタを流れる電流を表し；

前記出力端子での出力電圧を実質的に一定のレベルに維持する前記インダクタを流れる所望全出力電流を計算するステップ；

一つ以上の前記スイッチング回路について、個々の所望電流を計算するステップ；

一つ以上の前記スイッチング回路について、前記推定電流を個々の前記所望電流と比較し、前記スイッチング回路を流れる前記電流が前記所望電流にほぼ等しくなるように、前記スイッチング回路をスイッチングさせるステップを含む方法。

【請求項104】 前記電圧レギュレータが複数のスイッチング回路を含む、請求項103の方法。

【請求項105】 各スイッチング回路に対する所望位相オフセットを判定するステップを更に含む、請求項104の方法。

【請求項106】 少なくとも一つの前記スイッチング回路についてのファントム状態を判定するステップを更に含む、請求項105の方法。

【請求項107】 基準回路として前記複数のスイッチング回路の一つを選択するステップを更に含む、前記残りのスイッチング回路が非基準回路である、請求項106の方法。

【請求項108】 ファントム状態が、各非基準回路のために判定される、請

求項107の方法。

【請求項109】 前記基準回路に対する上限電流と下限電流を計算するステップを更に含む、請求項107の方法。

【請求項110】 前記推定電流が前記下限電流未満に低下する場合、前記基準回路に前記入力端子を前記出力端子に接続させるステップ、および前記推定電流が前記上限電流を超える場合、前記基準回路に前記出力端子をグランドに接続させるステップを更に含む、請求項109の方法。

【請求項111】 前記非基準回路のファントム状態は、前記基準回路の前記状態および前記所望位相オフセットから導かれる、請求項110の方法。

【請求項112】 所望電流は、各スイッチング回路について計算される、請求項106の方法。

【請求項113】 ファントム状態が、各スイッチング回路について判定される、請求項112の方法。

【請求項114】 前記スイッチング回路の前記ファントム状態がクロック信号および前記所望位相オフセットに基づく、請求項112の方法。

【請求項115】 前記所望電流を判定するステップが、新規の所望電流を生成するために前記少なくとも一つのスイッチング回路について前記ファントム状態に基づいて初期の所望電流を記憶し、そして前記初期の所望電流を調整するステップを含む、請求項106の方法。

【請求項116】 前記初期の所望電流を調整するステップが、前記ファントム状態が前記出力端子が前記入力端子に接続されることを示す場合、増加電流を前記初期の所望電流に加算し、そして前記ファントム状態が前記出力端子が接地接続されることを示す場合、減少電流を前記初期の推定電流から減算するステップを含む、請求項115の方法。

【請求項117】 前記推定電流が前記所望電流と交差し、かつ前記基準回路の前記状態が前記ファントム状態と同一でない場合、前記少なくとも一つのスイッチング回路にスイッチングさせるステップを更に含む、請求項106の方法。

【請求項118】 前記推定電流が前記所望電流を超える場合、前記スイッチングさせるステップが前記出力端子を接地接続するステップを含む、請求項11

7の方法。

【請求項119】 前記推定電流が前記所望電流未満に低下する場合、前記スイッチングさせるステップが前記出力端子と前記入力端子を接続するステップを含む、請求項117の方法。

【請求項120】 前記推定電流が前記下限電流未満に低下する場合、前記少なくとも一つのスイッチング回路に、前記入力端子を前記出力端子に接続させ、そして前記推定電流が前記上限電流を超える場合、前記少なくとも一つのスイッチング回路に、前記出力端子を接地接続させるステップを更に含む、請求項117の方法。

【請求項121】 前記推定電流が第1のプリセットマージンによって、前記所望電流未満に低下する場合、前記少なくとも一つのスイッチング回路に前記入力端子を前記出力端子に接続させ、そして前記推定電流が第2のプリセットマージンによって、前記所望電流を超える場合、前記少なくとも一つのスイッチング回路に前記出力端子を接地接続させるステップを更に含む、請求項117の方法。

【請求項122】 入力電圧源に接続される入力端子、負荷に接続される出力端子、および前記入力端子と前記出力端子を間欠的に接続する複数のスイッチング回路を有する電圧レギュレータを動作させる方法であって：

基準回路として前記複数のスイッチング回路の一つを選択するステップ；

前記残りのスイッチング回路に対する所望位相オフセットを判定するステップ；

各スイッチング回路に対する推定電流を判定するステップ、各推定電流は前記スイッチング回路と関連付けられるインダクタを流れる電流を表し；

前記出力端子での出力電圧を実質的に一定のレベルに維持する前記スイッチング回路を流れる所望全出力電流を計算するステップ；

前記所望位相オフセットおよび前記所望全出力電流を実質的に達成するために、前記スイッチング回路に前記出力端子を前記入力端子または接地接続させるステップを含む。

【発明の詳細な説明】

【0001】

【背景】

本発明は一般に電圧レギュレータに関し、より詳しくは、スイッチング電圧レギュレータ用の制御システムに関する。

【0002】

DC/DCコンバータ等の電圧レギュレータを用いて、電子システムに安定化電圧源を提供する。効率の良いDC/DCコンバータは特に、ラップトップ型ノートブックや携帯電話等の低電力装置のバッテリー管理に必要とされる。スイッチング電圧レギュレータ（またはより簡単に「スイッチングレギュレータ」）が、DC/DCコンバータの効率的な形式であることは周知である。スイッチングレギュレータは、入力DC電圧を高周波電圧に変換し、出力DC電圧を発生するためにその高周波電圧をフィルタリングすることにより出力電圧を発生する。スイッチングレギュレータは、普通、バッテリー等の定電圧化されていない入力DC電圧源を集積回路等の負荷へ交互に接続、遮断するスイッチを含んでいる。出力フィルタは普通はインダクタとコンデンサを含み、入力電圧源と負荷の間に接続されてスイッチの出力をフィルタリングし、その結果出力のDC電圧を提供する。コントローラは、例えば電圧や負荷を流れる電流等の、回路の電気特性を測定し、出力のDC電圧を実質的に一定レベルに維持するためにスイッチングのデューティサイクルを設定する。

【0003】

マイクロプロセサ用の電圧レギュレータは以前より厳しい性能要件を満足しなければならない。一つの傾向は、例えば35～50アンペアの、より大電流で動作することである。別の傾向は、省エネルギーのためにサイクル毎にマイクロプロセサの異なる部分をオンオフすることである。これは電圧レギュレータが負荷変動に対して非常に高速に反応することを必要とし、例えば、最小負荷から最大負荷まで数ナノ秒で変化する必要がある。更に別の傾向は、配ライン内の寄生容量、抵抗および／またはインダクタンスを減少させ、それによって電流損失を防ぐために、電圧レギュレータをマイクロプロセサの近くに配置することであり、

ことができる。しかし、電圧レギュレータをマイクロプロセッサの近くに配設するためには、電圧レギュレータは小型でかつ使いやすい形状因子を持つ必要がある。

【0004】

これらの特別な傾向に加えて、高負荷での熱的な過負荷を避け、携帯システムのバッテリー寿命を長くするために一般に高効率が望ましい。別の望ましい特長は、電圧レギュレータが、低負荷での電力消費を抑える「スタンバイ」モードを持つことである。

【0005】

従来のコントローラは、抵抗、コンデンサおよび演算増幅器等のアナログ回路で構成される。残念ながらアナログ回路は高価で、および／または集積回路として製作するのが困難である。特に、特別な技法が抵抗や半導体装置を製作するのに必要である。更に、アナログ信号はノイズによって性能が低下し、その結果情報の損失を発生させる。

【0006】

上記に鑑みて、電圧レギュレータおよび電圧レギュレータ用の制御システムには改良の余地がある。

【0007】

【概要】

一般に、一局面によれば、本発明は電圧レギュレータを動作させる方法に向けられ、その電圧レギュレータは、入力電圧源と接続される入力端子、負荷に接続される出力端子、および入力端子を出力端子に交互に接続、遮断する複数のスイッチング回路を有する。その方法は各スイッチング回路について推定電流を計算する。各推定電流はスイッチング回路と関連するインダクタを流れる電流を表す。インダクタを流れる所望の全出力電流が計算され、その電流が出力端子での出力電圧を実質的に一定に維持する。スイッチング回路は、推定電流と所望の全出力電流に基づいて制御され、それにより、インダクタを流れる全電流は所望の全出力電流と略等しくなる。

【0008】

別の局面によれば、本発明は、入力電圧源と接続される入力端子、および負荷に接続される出力端子を有する電圧レギュレータに向けられる。複数のスイッチング回路はデジタル制御信号に応答して入力端子と出力端子を間欠的に接続する。それぞれがインダクタを含む複数のフィルタは、出力端子にほぼDCの出力を提供する。複数の電流センサは、スイッチング回路を流れる電流から導かれるフィードバック信号を生成する。デジタルコントローラは、複数のフィードバック信号を受け取って使用しスイッチング回路毎の推定電流を計算する。各推定電流はスイッチング回路と関連するインダクタを流れる電流を表す。インダクタを流れる全所望出力電流が計算され、それが出力端子における出力電圧を実質的に一定に維持する。デジタル制御信号は推定電流と全所望出力電流に基づいて生成され、それにより、インダクタを流れる全電流はほぼ全所望出力電流と略等しくなる。

【0009】

別の局面によれば、本発明は、出力端子における出力電圧を実質的に一定に維持するために電圧レギュレータのスイッチング回路を流れる全所望電流を決定する方法に向けられる。スイッチング回路は、入力電圧源へ接続される入力端子を、負荷へ接続される出力端子へ間欠的に接続する。電圧レギュレータは、出力端子へ接続される少なくとも一つのコンデンサを含む。第1の出力電圧が第1の時間に出力端子で測定され、第2の出力電圧が第2の時間に出力端子で測定される。インダクタを流れる電流を表す推定電流が計算され、少なくとも一つのコンデンサへ、またはそこから流れる電流を表すキャパシタンス電流が第1出力電圧と第2出力電圧の差に基づいて計算され、そして補正電流が所望の電圧を第1および第2出力電圧の一つとの差に基づいて計算される。電圧レギュレータの全所望電流が推定電流と補正電流の合計と、キャパシタンス電流との差から計算される。

【0010】

別の局面によれば、本発明は電圧レギュレータへ向けられる。レギュレータは、入力電圧源へ接続される入力端子と、負荷へ接続される出力端子を有する。スイッチング回路がデジタル制御信号に応答して入力端子と出力端子を間欠的に接

続する。フィルタが出力端子にほぼDCの出力電圧を提供する。電流センサがスイッチング回路を流れる電流を表すデジタルの第1フィードバック信号を生成する。電圧センサが出力電圧を表す第2フィードバック信号を生成する。デジタルコントローラがデジタルフィードバック信号を受け取って使用し、デジタル制御信号を生成する。デジタルコントローラは、出力端子での出力電圧が実質的に一定レベルを維持するよう構成される。

【0011】

別の局面によれば、本発明は、入力電圧源と接続される入力端子、および負荷に接続される出力端子を有する電圧レギュレータに向けられる。電圧レギュレータは複数のスレーブを有し、各スレーブは、デジタル制御信号に応答して入力端子と出力端子を間欠的に接続するスイッチング回路と、出力端子にほぼDC出力電圧を提供するフィルタと、スイッチング回路を流れる電流を表すデジタルフィードバック信号を生成する電流センサと、複数のデジタル制御信号を生成する複数のスレーブからデジタルフィードバック信号を受け取って使用するデジタルコントローラとを有する。デジタルコントローラは、出力端子での出力電圧が実質的に一定レベルを維持するよう構成される。

【0012】

別の局面によれば、本発明は電圧レギュレータを動作させる方法をに向けられ、その電圧レギュレータは、入力電圧源と接続される入力端子、および負荷に接続される出力端子を有する。入力端子と出力端子は、デジタル制御信号に応答してスイッチング回路によって間欠的に接続される。スイッチング回路の出力はフィルタリングされ出力端子にほぼDCの出力電圧を提供する。デジタルフィードバック信号が電流センサを持つスイッチング回路を流れる電流を表すよう生成される。デジタルコントローラは、スレーブからデジタルフィードバック信号を受け取って使用し、デジタル制御信号を生成する。デジタルコントローラは出力端子での出力電圧を実質的に一定レベルに維持するよう構成される。

【0013】

別の局面によれば、本発明は、入力電圧源と接続される入力端子、および負荷に接続される出力端子を有する電圧レギュレータに向けられる。スイッチング回

路は制御信号に応答して入力端子と出力端子を間欠的に接続する。フィルタは出力端子にほぼDCの出力電圧を提供する。デジタルコントローラはクロック周波数 f_{clock} で動作し、それはスイッチング回路に所望されるスイッチング周波数 f_{switch} より著しく高速である。各クロックサイクルでデジタルコントローラは、出力端子での出力電圧から導かれた第1のデジタルフィードバック信号、およびスイッチング回路を流れる電流から導かれた第2のデジタルフィードバック信号を受け取って、そしてスイッチング回路を制御する制御信号を生成し、それにより出力電圧は実質的に一定レベルで維持される。

【0014】

別の局面によれば、本発明は、入力電圧源と接続される入力端子および負荷に接続される出力端子を有する電圧レギュレータを動作させる方法に向けられる。入力端子と出力端子は、デジタル制御信号に応答してスイッチング回路によって間欠的に接続される。スイッチング回路の出力はフィルタリングされて出力端子にほぼDC出力電圧を提供する。デジタルコントローラはクロック周波数 f_{clock} で動作し、それはスイッチング回路に所望のスイッチング周波数 f_{switch} より著しく高速である。デジタルコントローラは、出力端子での出力電圧から導かれた第1のデジタルフィードバック信号、および各クロックサイクルでインダクタを流れる電流から導かれた第2のデジタルフィードバック信号を受け取る。制御信号はデジタルコントローラで生成されてスイッチング回路を制御し、それにより出力電圧を実質的に一定レベルに維持する。

【0015】

別の局面によれば、本発明は、電圧レギュレータのインダクタを流れる電流を推定する方法に向けられ、電圧レギュレータは、間欠的に出力端子を入力端子に接続するスイッチング回路を含む。初期の推定電流は記憶され、インダクタを流れる電流を表し、そして初期の推定電流は、スイッチング回路の状態に基づいて調整されて、新規の推定電流を生成する。

【0016】

別の局面によれば、本発明は、入力電圧源と接続されるべき入力端子と、負荷に接続されるべき出力端子と、入力端子を中間端子に接続するスイッチング回路

と、出力端子に実質的にDC電圧を生成するためのインダクタを有するフィルタとを有する電圧レギュレータを動作させる方法に向けられる。初期の推定電流は記憶され、インダクタを流れる電流を表す。初期の推定電流は、スイッチング回路の状態に基づいて調整されて、新規の推定電流を生成する。インダクタを流れる全所望出力電流が決定され、それは出力端子での出力電圧を実質的に一定に維持する。スイッチング回路は、推定電流と全所望出力電流に基づいて制御され、それにより、インダクタを流れる全電流は全所望出力電流と略等しくなる。

【0017】

別の局面によれば、本発明は電圧レギュレータ内のインダクタを流れる電流を推定する方法に向けられ、電圧レギュレータは、出力端子を入力端子と間欠的に接続するスイッチング回路を含む。初期の推定電流はインダクタを流れる電流を表す。出力端子が入力端子へ接続されている場合には、増加する電流が初期の推定電流へ加算され、出力端子が接地されている場合には、減少する電流が初期の推定電流から減算される。

【0018】

別の局面によれば、本発明は、入力電圧源と接続されるべき入力端子、および負荷に接続されるべき出力端子を有する電圧レギュレータに向けられる。電圧レギュレータは、制御信号に応答して入力端子と出力端子を間欠的に接続するスイッチング回路と、出力端子にほぼDC出力電圧を提供するためのインダクタを含むフィルタと、デジタルコントローラとを有する。デジタルコントローラは、インダクタを流れる電流を表す初期の推定電流を記憶し、新規の推定電流を生成するためにスイッチング回路の状態に基づいて初期の推定電流を調整し、出力電圧を実質的に一定に維持するインダクタを流れる全所望出力電流を決定し、そしてスイッチング回路を制御するために、調整された推定電流と全所望出力電流に基づく制御信号を生成し、それにより、出力電圧は実質的に一定レベルに維持される。

【0019】

別の局面によれば、本発明は、入力電圧源と接続される入力端子、負荷に接続される出力端子、および入力端子と出力端子を間欠的に接続する少なくとも一つ

のスイッチング回路を有する電圧レギュレータを動作させる方法に向けられる。推定電流は少なくとも一つのスイッチング回路の各々について計算され、各推定電流は、関連するスイッチング回路内のインダクタを流れる電流を表す。出力端子での出力電圧を実質的に一定レベルに維持するインダクタを流れる所望の全出力電流が計算され、電流の上限と下限が計算される。電流の上限と下限の平均値は、一つのインダクタに対する個々の所望出力電流に等しい。一つ以上のスイッチング回路に対して、スイッチング回路は、推定電流が下限電流未満に低下する場合には、入力端子を出力端子に接続させ、推定電流が上限電流を超えて上昇する場合には、出力端子をグランドに接続させる。

【0020】

別の局面によれば、本発明は、入力電圧源と接続されるべき入力端子、負荷に接続されるべき出力端子、および入力端子と出力端子を間欠的に接続する少なくとも一つのスイッチング回路を有する電圧レギュレータを動作させる方法に向けられる。推定電流はスイッチング回路毎に決定され、各推定電流は、スイッチング回路と関連するインダクタを流れる電流を表す。インダクタを流れる所望の全出力電流が計算され、出力端子での出力電圧を実質的に一定レベルに維持する。一つ以上のスイッチング回路に対して、個々の所望電流が計算され、そして推定電流が個々の所望電流と比較されて、スイッチング回路がスイッチングされ、それにより、スイッチング回路を流れる電流は所望の電流と略等しくなる。

【0021】

別の局面によれば、本発明は、入力電圧源と接続されるべき入力端子、負荷に接続されるべき出力端子、および入力端子と出力端子を間欠的に接続する複数のスイッチング回路を有する電圧レギュレータを動作させる方法に向けられる。複数のスイッチング回路の一つは基準回路として選択され、所望の位相オフセットが残りのスイッチング回路について決定される。推定電流がスイッチング回路毎に計算され、各推定電流はスイッチング回路と関連するインダクタを流れる電流を表す。インダクタを流れる所望の全出力電流が計算され、出力端子での出力電圧を実質的に一定レベルに維持し、スイッチング回路は、所望の位相オフセットおよび所望の全出力電流を実質的に達成するような方法で出力端子を入力端子ま

たはグラウンドへ接続させる。

【0022】

本発明の利点は以下を含むこともある。本電圧レギュレータは、負荷変動に迅速に反応する比較的大きな電流を取り扱う。本電圧レギュレータは、使いやすい形状因子を持つ小型のコンデンサを用いてもよい。本電圧レギュレータは、リップル電流を減少させるために逆相で動作する複数のスレーブを含んでもよい。アナログ回路の使用は、コントローラのアナログ測定値をデジタル信号に変換することによって最小化される。コントローラは、大部分がデジタル回路を用いて実施され、従来の相補型MOS（CMOS）生産技法によって既知のプロセスを用いて生産できる。これはコントローラ内のチップに含まれない構成要素の数を減少させる。コントローラはデジタル制御アルゴリズムで動作し、その場合、動作パラメータを補正して異なる用途のための電圧レギュレータに適合させることができる。デジタル制御アルゴリズムは、スイッチング周波数より著しく高いクロック周波数で動作可能であり、負荷変動に迅速に応答することが可能である。マスタとスレーブはデジタル信号で通信可能であり、それによって通信上の信頼性向上が図れる。

【0023】

【詳しい説明】

図1を参照して、スイッチングレギュレータ10は、入力端子20によりバッテリー等の定電圧化されていないDC入力電圧源12に接続される。スイッチングレギュレータ10は、出力端子22により集積回路等の負荷14にも接続される。負荷14は普通、期待される公称電圧 V_{nom} および電圧許容範囲 ΔV_{nom} を有する。マイクロプロセッサチップの公称電圧 V_{nom} は普通、約1.0から5.0ボルト、例えば約1.2から1.8ボルトであり、電圧許容範囲 ΔV_{nom} は普通、公称電圧 V_{nom} の $\pm 6\%$ 、すなわち、1.2ボルトの公称電圧に対して約80mVである。スイッチングレギュレータ10は、入力端子20と出力端子22間のDC/DCコンバータとして働く。スイッチングレギュレータ10は、入力端子20の入力電圧 V_{in} を、公称電圧 V_{ndjom} の許容範囲 ΔV_{nom} 内にある出力端子22の出力電圧 V_{out} に変換するための一つ以上のスレーブ16、およびスレー

ブ16の動作を制御するためのマスタコントローラ18を含む。マスタコントローラ18は、(図示のような)電圧源12または別の電圧源によって電力を供給される。

【0024】

端的に言えば、マスタコントローラ18は、デジタル式電流基準制御アルゴリズムを使用している。スレーブからの出力電圧 V_{out} とフィードバックとに基づいて、マスタコントローラ18の制御アルゴリズムは、出力電圧 V_{out} を実質的に一定レベルに、つまり電圧許容範囲内に維持するために各スレーブ16の状態を判定する。マスタコントローラ18は、各スレーブ16を制御する一組の制御信号を生成し、それを適切な状態に設定する。より詳細には、マスタコントローラ18は、スイッチングレギュレータ10からの電流を負荷14への電流と確実に一致させ、それによって出力電圧を実質的に一定レベルに維持する。例えば、電流負荷(または単に「負荷」)が増加する場合、スレーブを流れる電流の量は増加する。これは、所望の負荷に到達するまで、電流を「一定勾配で上昇」させる。一方、負荷が減少する場合、アクティブスレーブを通る電流量が減少する。これは、所望の負荷に到達するまで、電流を「一定勾配で下降」させる。

【0025】

各スレーブ16は、中間端子26に入力端子20を交互に接続、遮断する電力スイッチとして働くスイッチング回路24を含む。スイッチング回路24は、スイッチやダイオード等の整流器も含み、中間端子26を接地接続する。各スレーブの中間端子26は、出力フィルタ28を介して出力端子22に接続される。スイッチング回路24の開閉は、中間端子26に矩形波を持つ中間電圧 V_{int} を生成する。出力フィルタ28は、この矩形波を出力端子22での実質的にDCである出力電圧に変換する。このスイッチングレギュレータは、バックコンバータポロジとして以下に図示し説明するが、本発明はまた、例えばブーストコンバータやバックブーストコンバータポロジ等の他の電圧レギュレータポロジにも適用できる。

【0026】

図示のように、スイッチング回路24と出力フィルタ28は、バックコンバー

タトポロジで構成される。特に、各スレーブ16のスイッチング回路24は、入力端子20に接続されるソースと中間端子26に接続されるドレインとを有する第1のトランジスタ30のようなスイッチを含む。スイッチング回路24はまた、接地接続されたソースと中間端子26に接続されたドレインとを有する第2のトランジスタ32のような整流器を含む。第1のトランジスタ30はP型MOS（PMOS）デバイスでよく、第2のトランジスタ32はN型MOS（NMOS）デバイスでよい。代替として、第2のトランジスタ32は、整流が可能となるようにダイオードに置換えるか、またはダイオードで補完してもよい。第1と第2のトランジスタ30と32はそれぞれ、制御ライン44aと44b上のスイッチング信号により駆動される。出力フィルタ28は、中間端子26と出力端子22間に接続されるインダクタ34と、負荷14と並列接続されたコンデンサ36を含む。更に、各スレーブ16からのコンデンサ36は、インダクタ34からの共通ラインへ接続される一つ以上のコンデンサで補完するか、置換えてもよい。

【0027】

第1のトランジスタ30が閉じて、第2のトランジスタ32が開いている場合（PMOS導通状態）、中間端子26は電圧源12に接続され、電圧源12は、第1のトランジスタ30を介して負荷14およびインダクタ34にエネルギーを供給する。他方、第1のトランジスタが開いて、第2のトランジスタが閉じている場合（NMOS導通状態）、中間端子26は接地接続され、インダクタ34によってエネルギーが負荷14に供給される。

【0028】

各スレーブ16は第1と第2のトランジスタ30と32のそれぞれの電流を測定する第1と第2の電流センサ40と42を含む。マスタコントローラ18は、電流センサ40と42の情報を電流基準制御アルゴリズムの状態で使用する。各電流センサは、一本以上の出力ライン上にデジタル出力信号を生成する。単一ビット信号では、出力ライン上のデジタル出力信号は、スレーブを通る電流がトリガー電流を超えるかまたは下回る場合、ハイからローへスイッチングされる（逆も同）。特に、第1の電流センサ30からの第1の出力ライン44c上の信号は

、第1のトランジスタを通る電流が第1のトリガー電流 I_{pcross} を超える時に、ローからハイへスイッチングする。同様に、第2の電流センサ42からの第2の出力ライン44上の出力信号は、第2のトランジスタ32を通る電流が第2のトリガー電流 I_{ncross} 未満に低下する時にハイからローへスイッチングする。

【0029】

図1に示すように、各出力ライン44cと44dは、マスタコントローラ18に直接接続されてもよい。代替として、図1Aに示すように、第1と第2の出力ラインは、単一の出力ライン44gを形成するよう互いに結合されてもよい。この場合、マスタコントローラ18'が判定することは、スレーブがPMOS（第1のトランジスタ）かまたはNMOS（第2のトランジスタ）導通状態のいずれであるかに基づいて、出力ライン44g上の信号 g_1, g_2, \dots, g_n が第1または第2のトランジスタのいずれの電流を表しているかということである。

【0030】

図2を参照すると、例えば第1の電流センサ40等の各電流センサは、基準トランジスタ52、電流源54および比較器56を含む。同様の電流センサは、Anthony Stratakos他によって同時出願され、本発明の譲受人に譲渡された米国特許出願第09/183,417号「電流測定の技法」に記載されており、その全ての開示は引用されて本明細書に組み込まれる。基準トランジスタ52は、測定されるトランジスタつまり第1のトランジスタ30のソースに接続されるソース、電流源54に接続されるドレイン、および制御ライン44eに接続されるゲートを有する。基準トランジスタ52はパワートランジスタ30と同一である。すなわち、トランジスタ素子は同じチップ上に、同じ寸法で同じプロセスを使用して製造されるので、両者は実質的に同一の電気的特性を有する。既知の電流 I_{ref} が電流源54を流れる。比較器56のプラス入力、基準トランジスタ52のドレインと電流源54の間のノード58に接続され、比較器56のマイナス入力は中間端子26に接続されている。比較器の出力は基準ライン44cに接続されている。第2の電流センサ42も同様に構成されるが、NMOSTランジスタに関連付けられる極性を有する。

【0031】

動作においては、パワートランジスタ30および基準トランジスタ52がともに閉じているとすると、スレーブ電流 I_{slave} はパワートランジスタ30を流れ、基準電流 I_{ref} は基準トランジスタ52を流れることになる。ノード58での電圧 V_{node} は、 $V_{\text{node}} = V_{\text{in}} - (R_R \times I_{\text{ref}})$ によって与えられ、ここで R_R はトランジスタ52の等価抵抗であり、一方、中間端子26での電圧 V_{int} は、 $V_{\text{int}} = V_{\text{in}} - (R_P \times I_{\text{slave}})$ で与えられ、ここで R_P はパワートランジスタ30の抵抗である。基準トランジスタ52が単一トランジスタ素子で製作されているのに対して、パワートランジスタはNトランジスタ素子で製作されているので、パワートランジスタの抵抗 R_P は基準トランジスタ52の R_R の $1/N$ 倍に実質的に等しく、従って $V_{\text{node}} = V_{\text{in}} - (R_P \times N \times I_{\text{ref}})$ となり、スレーブ電流 I_{slave} が $N \times I_{\text{ref}}$ より大きい場合、ノード電圧 V_{node} は中間電圧 V_{int} より大きくなる。従って、スレーブ電流 I_{slave} がスレッシュホールド電流 $N \times I_{\text{ref}}$ より大きい場合、電流センサ40は出力ライン44cへ高い信号を出力し、一方、スレーブ電流 I_{slave} がスレッシュホールド電流 $N \times I_{\text{ref}}$ より低い場合、基準ライン44cに低い信号を出力する。

【0032】

2個の電流センサ40および42は、異なるスレッシュホールド電流 T_{pcross} および T_{ncross} を提供するように異なる基準電流 I_{ref} を用いて構成してもよい。第1の電流センサ40用の第1のスレッシュホールド電流 T_{pcross} は、第2の電流センサ42用の第2のスレッシュホールド電流 T_{ncross} より大きくてもよい。従って、スレーブ電流 I_{slave} がスレッシュホールド電流 T_{pcross} より大きい場合、電流センサ40は高い信号を出力し、スレーブ電流 I_{slave} がスレッシュホールド電流 T_{pcross} 未満の場合、低い信号を出力する。同様に、電流センサ42は、スレーブ電流 I_{slave} がスレッシュホールド電流 T_{ncross} より大きい場合、出力ライン44dに高い信号を出力し、スレーブ電流 I_{slave} がスレッシュホールド電流 T_{ncross} 未満の場合、低い信号を出力する。これらの簡単なスレッシュホールド出力信号は、マスタコントローラ18にスレーブ電流についての情報を提供し、アナログ信号よりノイズに影響されず、電力消費がより少なく、そして電流を完全にA/D変換する結果、多数の相互接続が不要となる。

【0033】

電流スレッシュヨルド T_{ncross} および T_{pcross} が選択されて、それによりスレーブ電流 I_{slave} が、各スイッチングサイクルで、つまり、各PMOSおよびNMOSの導通状態で、少なくとも一つのスレッシュヨルドと交差できる。スレッシュヨルド電流 T_{pcross} は、スレーブ電流 I_{slave} がスレッシュヨルドを横切るのが、比較器がイネーブルになった後で起きるという可能性を増大させるためにスレッシュヨルド電流 T_{ncross} より高くなければならない。一実施の形態では、第1のスレッシュヨルド電流 T_{pcross} は約8アンペアでよく、他方、第2のスレッシュヨルド電流 T_{ncross} は約2アンペアでよい。

【0034】

電流センサは、一つを超えるデジタル信号を出力するよう構成できる。例えば、スレーブ電流 I_{slave} が第1のスレッシュヨルド電流 T_{pcross} を超える場合、電流センサは第1のデジタル信号を生成でき、スレーブ電流 I_{slave} が、第2のスレッシュヨルド電流 $T_{pcross2}$ を超える場合、第2のデジタル信号を生成できる、等である。

【0035】

図1に戻って、先に説明したように、出力端子22の出力電圧 V_{out} は、マスタコントローラ18によって定電圧化され、または実質的に一定のレベルに維持される。マスタコントローラ18は、出力端子22での電圧を測定して、各スレーブ16の電流センサ40および42からの出力ライン44cおよび44d上のデジタル出力信号を受け取る。電流センサからの測定出力電圧 V_{out} および出力信号に応答して、マスタコントローラ18は、各スレーブ16内の第1と第2のトランジスタ30、32の動作を制御するために制御信号を生成する。マスタコントローラ18の動作は、以下に更に詳細に説明する。

【0036】

マスタコントローラ18とスレーブ16は、大部分がデジタルでスイッチドキャパシタを基礎とする構成部品を利用して構成してもよい。従って、大部分のスイッチングレギュレータ10は、従来のCMOS技法を利用してシングルチップ上に実装されるか、またはその上に製造される。しかし、各スレーブ16はシン

グルチップ上に製造され、マスタコントローラ18は別のチップ上に製造されることが好ましい。あるいは、各スレーブは単一ICで製造され、電圧センサは別のICチップ上に製造され、そして、デジタルコントローラの残りは更に別のICチップ上に製造されてもよい。各チップは従来のCMOS技法を利用して製造されてもよい。

【0037】

図3を参照すると、マスタコントローラ18は、スイッチング回路の各サイクル中に一つ以上の離散時間で、出力端子22の出力電圧 V_{out} を測定する電圧サンプリング回路60を含む。このサンプリング回路60は、Anthony Stratakos 他による、本発明の譲受人に譲渡され、その全ての開示は引用されて本明細書に組み込まれる、1997年12月16日出願の米国特許出願第08/991,394号「スイッチングレギュレータに用いるためのデータの離散時間サンプリング」に記載されているように実質的に構成できる。サンプリング回路60は、寄生容量およびインダクタンスによって発生する誤差を低減させるためにマイクロプロセッサのグラウンドへ直接に接地接続されてもよい。サンプリング回路60によってサンプリングされた電圧は、アナログディジタル(A/D)コンバータ62によってデジタル電圧信号に変換される。

【0038】

マスタコントローラ18はデジタル制御アルゴリズム64も含む。デジタル制御アルゴリズムは、A/Dコンバータ62からデジタル電圧信号を、出力ライン44cと44dから出力信号 c_1, c_2, \dots, c_n と d_1, d_2, \dots, d_n を、そして外部クロックからクロック信号66を受け取る。クロック信号66は、マイクロプロセッサを実行する同じクロックによって、負荷内の他のIC装置によって、またはマスタコントローラチップ上のクロックによって生成されてもよい。クロック周波数 f_{clock} は、スイッチング回路24のスイッチング周波数 f_{switch} より著しく高くするのがよく、例えば、負荷変動に迅速に応答するのを確実にするためには、10~100倍高くするのがよい。しかし、クロック周波数 f_{clock} は、スイッチングレギュレータとマスタコントローラが電圧源に大きなドレインを構成するほど高くすべきではない。普通、クロック周波数 f_{clock} はマイクロプ

ロセッサのクロック速度ほど高くなく、マイクロプロセッサのクロック信号を分周して発生させる。クロック信号66の周波数は、約16と66MHz間、例えば約33MHzの周波数 f_{clock} である。

【0039】

図3Aを参照して、マスタコントローラ18'の別の実施は、出力電圧と公称電圧との差、すなわち $V_{\text{out}[n]} - V_{\text{nom}}$ 、および現在の出力電圧と一つ前のクロックサイクルにおける出力電圧の差、すなわち $V_{\text{out}[n]} - V_{\text{out}[n-1]}$ 、を測定するために出力端子24に接続される電圧のサンプリング&ホールド回路60'を含む。デジタル公称電圧 V_{nom} は、外部ピンによってセットされ、デジタル／アナログ(D/A)コンバータ68によって、アナログ電圧に変換されてもよい。この実施では、サンプリング回路60'によってサンプリングされた電圧差は、2個のA/Dコンバータ62'によって、2つのデジタル電圧差信号に変換される。電圧差の場合には必要な変換はより狭い範囲で済むので(A/Dコンバータ60'と比較すると)、より単純でより高速のA/Dコンバータが使用できる。デジタル制御アルゴリズムは、A/Dコンバータ62'からのデジタル電圧差信号、出力ライン44cと44dからの出力信号 c_1, c_2, \dots, c_n と d_1, d_2, \dots, d_n 、外部クロックからのクロック信号66、デジタル公称電圧 V_{nom} 、および電流リミットライン44h上の電流制限信号を受け取る(以下に図1Aを参照して説明する)。

【0040】

図1および図3に戻ると、デジタル制御アルゴリズム64は、各スレーブ16においてトランジスタ30と32を制御するために、タイミングライン44aと44b上の制御信号 a_1, a_2, \dots, a_n および b_1, b_2, \dots, b_n のセットを生成する。電流負荷に基づいて、デジタル制御アルゴリズム64は、各スレーブのスイッチング状態、すなわち、出力端子22の出力電圧 V_{out} が、公称電圧 V_{nom} の電圧許容範囲 ΔV_{nom} 内に実質的に維持されるように、PMOSTランジスタ30が閉じてNMOSTランジスタ32が開きかつNMOSTランジスタ32が閉じてPMOSTランジスタ30が開き、またはPMOSTランジスタ30とNMOSTランジスタ32がともに開く、という状態を判定する。

【0041】

代替として、図1 A、3 Aおよび13 Aを参照すると、マスタコントローラ18' は一つ以上のデジタルの状態制御信号を生成し、この信号は、制御ライン44 aと44 b上の制御信号を生成するために各スレーブ16' 内のオンチップインタープリタ48により解釈される。図示のように、マスタコントローラ18' が、状態制御ライン44 h上に、PMOS状態制御信号 e_1, e_2, \dots, e_N 、NMOS状態制御信号 f_1, f_2, \dots, f_N 、そして連続／不連続モード動作制御信号 h_1, h_2, \dots, h_N 、を生成する。特に、スレーブがPMOS導通状態にスイッチングされる場合、マスタコントローラは、PMOS状態制御ライン44 e上にパルス49 aを出力する。一方、スレーブがNMOS導通状態にスイッチングされる場合、マスタコントローラ18' は、NMOS状態制御ライン44 f上にパルス49 bを出力する。オンチップインタープリタ48は、状態制御ライン44 e上のパルス49 aの立上がりエッジを、PMOS状態にスレーブ16をスイッチングする命令として解釈する。例えば、制御ライン44 a' をハイに設定し、制御ライン44 b' をローに設定することによってスイッチングする。逆に、状態制御ライン44 f上のパルス49 bの立上がりエッジは、オンチップインタープリタ48によって、スレーブ16をNMOS状態にスイッチングする命令として解釈される。例えば、制御ライン44 a' をローに設定し、制御ライン44 b' をハイに設定することによってスイッチングする。オンチップインタープリタは、状態制御ライン44 eと44 f上のパルスの立下りエッジをそれぞれ電流センサ40と42内の比較器56をイネーブルする命令として解釈する。

【0042】

連続するモード動作が、イネーブルされると（例えば、制御ライン44 gがローのとき）、スイッチング回路は通常、スレーブ電流 I_{slave} が負のときに動作する。しかし、NMOSトランジスタ30が閉じていて、不連続モード動作制御信号がディスエイブルの場合には（例えば、制御ライン44 gがハイのとき）、NMOSトランジスタ30およびPMOSトランジスタ32はともに、スレーブ電流 I_{slave} がゼロを下回る場合、負電流がスレーブを流れるのを防止するために開く。一般に、マスタコントローラ18は、より効率がよい不連続モードでス

レーブを動作させる。しかし、負荷が大きくて急速な電圧低下を起こす場合、連続モードで動作する方が有利である。

【0043】

スレーブは故障保護回路68も含み、スイッチング回路の電流が、例えば15アンペアの危険なレベルを超える場合、自動的にスレーブを遮断する（マスタコントローラからの制御信号を無効にする）。故障保護回路68が作動する場合、スレーブは電流制限ライン44i（図3A参照）上にデジタル信号を送ってスレーブが非アクティブにされたことをマスタコントローラ18'に知らせる。スレーブは、他のデジタルフィードバック信号を生じてよい。例えば、スレーブは状態センサを含んでもよく、PMOSまたはNMOS導通状態にある等の、スイッチングレギュレータの状態を示すデジタル状態信号を生成する。

【0044】

図4を参照して、各クロックサイクル T_{clock} 毎に、例えばクロック周波数 f_{clock} が約33MHzである場合、約30ナノ秒毎に、デジタル制御アルゴリズム64は制御方式100を実行してもよい。制御アルゴリズム64は、各スレーブに対してそのスレーブのインダクタ34の電流を表す推定電流 $I_{estimate}$ を判定する（ステップ102）。制御アルゴリズム64はまた、出力端子22上の目標出力電圧を表す所望電圧 V_{des} を計算し（ステップ104）、インダクタを介して負荷に流入するはずの電流を表す所望全電流 I_{total} を計算するので、出力電圧 V_{out} は実質的に所望電圧 V_{des} に等しくなる（ステップ106）。次に、デジタル制御アルゴリズムは、次のクロックサイクルでアクティブにされる所望数のスレーブを決定し（ステップ108）、各スレーブに対する所望電流 I_{des} を計算する（ステップ110）。最後に、制御アルゴリズムは各スレーブの第1と第2のトランジスタ30、32を制御するので、スレーブの全電流は所望全電流 I_{total} に実質的に、例えば所望電流誤差 ΔI_{total} の範囲内で等しくなる（ステップ112）。各々のこれらのステップは以下で更に詳細に説明する。しかし、特定順序で実行しなくてもよいことが理解されよう。例えば、様々な計算は、並列で実行され、または前のクロックサイクルで実行されて記憶されてもうよい。特に、所望電圧と所望電流は、次のクロックサイクルで用いるために計算され記憶

される。

【0045】

図1と図5を参照して、推定電流 $I_{estimate}$ はステップ102で計算される。インダクタを通過する電流の変動率、つまり dI/dT は、インダクタにかかる電圧 $V_{inductor}$ に比例するので、

【0046】

【式1】

$$V_{inductor} = L \frac{dI}{dT} \quad (1)$$

【0047】

ここで、 L は中間端子26から出力端子22へ流れる電流についてのインダクタのインダクタンスである。PMOS導通状態の間、中間端子26は入力電圧源に接続され、インダクタ34にかかる電圧 $V_{inductor}$ 、すなわち $V_{out} - V_{intetmediate}$ は正であり、それによりインダクタの電流を増加させる。一方、NMOS導通状態の間、中間端子26は接地されているので、インダクタ34にかかる電圧 $V_{inductor}$ は負となり、それによってインダクタの電流を減少させる。PMOS導通状態の間、スレーブ電流 I_{slave} の勾配（想像線70で示す）は次式で与えられる。

【0048】

【式2】

$$\frac{dI}{dT} = \frac{V_{in} - V_{out}}{L} \quad (2)$$

【0049】

一方、NMOS導通状態の間、スレーブ電流 I_{slave} の勾配は次式で与えられる。

【0050】

【式3】

$$\frac{dI}{dT} = \frac{-V_{out}}{L} \quad (3)$$

【0051】

推定電流 $I_{estimate}$ (実線72で示す) はクロックサイクル毎に調整される。特に、PMOS導通状態の間、推定電流 $I_{estimate}$ はクロックサイクル毎に一定勾配で上昇する値 ΔI_{up} によって増加される。同様に、NMOS導通状態の間、推定電流 $I_{estimate}$ はクロックサイクル毎に一定勾配で下降する値 ΔI_{down} によって減少される。一定勾配で上昇および下降する ΔI_{up} および ΔI_{down} は次式で与えられてもよい。

【0052】

【式4】

$$\Delta I_{up} = \frac{V_{in} - V_{out}}{L \cdot f_{clock}} \quad \Delta I_{down} = \frac{V_{out}}{L \cdot f_{clock}} \quad (4)$$

【0053】

ここで、 L はインダクタ34のインダクタンス、 f_{clock} はクロック周波数である。

【0054】

公称値は ΔI_{up} と ΔI_{down} の判定において変数として使用されてもよく、その結果、一定勾配で上昇、下降する率はスイッチングレギュレータの動作中変化しない。代替として、 V_{in} 、 V_{out} 、 f_{clock} および L の値の一つ以上は、スイッチングレギュレータ10の動作中に一定勾配で上昇、下降する率の動的な調整ができるように ΔI_{up} と ΔI_{down} の再計算のために測定され使用されてもよい。残念ながら、インダクタンス L と入力電流 V_{in} は、正確には判らず、時間によって変化し、また回路から回路へと変化する。従って、推定電流 $I_{estimate}$ は、実際のスレーブ電流 I_{slave} からずれる。その結果、実際のスレーブ電流 I_{slave} に対し

て、時々推定電流 $I_{estimate}$ をチェックすることが必要となる。各クロックサイクルで、スレーブのための推定電流 $I_{estimate}$ が、電流センサ40と42からの出力信号に対してチェックされる。推定値が測定値と一致しない場合、推定値が一致するよう調整される。

【0055】

図6Aと図7Aを参照して、PMOS導通状態中、推定電流 $I_{estimate}$ が上側のスレッシュホールド電流 I_{pcross} 未満であるが、電流センサ40からの出力信号 c_1 がハイの場合には、推定電流は I_{pcross} に一致するように増加される。図6Bと図7Bを参照して、推定電流 $I_{estimate}$ が上側のスレッシュホールド電流 I_{pcross} を超えるが、出力信号 c_1 が低い場合には、推定電流 $I_{estimate}$ は、出力信号 c_1 がハイになるまで I_{pcross} に保たれる。図6Cと図7Cを参照して、NMOS導通状態中、推定電流 $I_{estimate}$ が下側のスレッシュホールド電流 I_{ncross} より上にあるが、電流センサ42からの出力信号 d_1 が低い場合は、推定電流 $I_{estimate}$ は I_{ncross} に一致するよう直ちに減少される。図6dと図7dを参照して、推定電流 $I_{estimate}$ が下側のスレッシュホールド電流 I_{ncross} を下回って低下するが、出力信号 d_1 が高い場合、推定電流 $I_{estimate}$ は出力信号 d_1 が低くなるまで、 I_{ncross} に保持される。推定電流 $I_{estimate}$ の計算は、表1に要約される。

【0056】

【表1】

PMOS 導通状態	$I_{estimate} > I_{pcross}$	c_1 ハイ	ΔI_{up} によって $I_{estimate}$ 増加
		c_1 ロー	I_{pcross} で $I_{estimate}$ 保持
	$I_{estimate} < I_{pcross}$	c_1 ハイ	$I_{pcross} \rightarrow I_{estimate}$ 増加
		c_1 ロー	ΔI_{up} によって $I_{estimate}$ 増加
NMOS 導通状態	$I_{estimate} > I_{ncross}$	d_1 ハイ	ΔI_{up} によって $I_{estimate}$ 減少
		d_1 ロー	$I_{ncross} \rightarrow I_{estimate}$ 減少
	$I_{estimate} < I_{ncross}$	d_1 ハイ	I_{ncross} で $I_{estimate}$ 保持
		d_1 ロー	ΔI_{up} によって $I_{estimate}$ 減少

表 1

【0057】

デジタル制御アルゴリズムは、擬似信号が推定電流を誤って調整することを防止するよう、PMOSとNMOS導通状態の間のスイッチング直後に一つ以上の

クロックサイクル内の電流センサからの信号を無視してもよい。

【0058】

比較器を作動させるために必要なスイッチング時間によって遅延時間 ΔT_{delay} と、出力ライン 44c または 44d に沿って信号が伝わるために必要な伝播時間とは、推定電流の判定に因数分解される。例えば、出力信号 c1 がローからハイへスイッチングされる時に推定電流 I_{estimate} が補正される場合は、補正係数 $\Delta T_{\text{delay}} \times \Delta I_{\text{up}} \times f_{\text{switch}}$ はマスタコントローラが出力信号 c1 の変化を受け取る時に、実電流を表すよう推定電流に加算される。同様に、出力信号 d1 がハイからローへスイッチングされる時に推定電流 I_{estimate} が補正される場合、補正係数 $\Delta T_{\text{delay}} \times \Delta I_{\text{down}} \times f_{\text{switch}}$ は推定電流から減算される。代替として、(表1で使用される I_{ncross} と I_{pcross} の元の値を維持する間) 同一の効果を得るためにスレッシュホールド電流 I_{pcross} は、補正係数 $T_{\text{delay}} \times I_{\text{up}} \times f_{\text{switch}}$ により減少されてもよく、またスレッシュホールド電流 I_{ncross} は補正係数 $T_{\text{delay}} \times I_{\text{down}} \times f_{\text{switch}}$ によって、増加してもよく図8を参照すると、所望電圧 V_{desired} は、ステップ104で選択されて、出力電圧 V_{out} が公称電圧 V_{nom} の電圧許容範囲 ΔV_{nom} の範囲内に保たれるという可能性を高める出力電圧 V_{out} についての負荷変動の効果は、想像線ライン80で図示する。特に、負荷が突然増加する場合、電流はコンデンサ36から負荷14に流れ、それによって出力電圧 V_{out} は低下する。逆に、スイッチングレギュレータの負荷が突然減少する場合、電荷はコンデンサ36に蓄積され、それによって出力電圧 V_{out} は増加する。これは、出力電圧 V_{out} が、許容範囲電圧を例えば超過電圧 ΔV_{excess} まで超える原因となる。

【0059】

コントローラ18は、超過電圧 ΔV_{excess} を低下または除去するために所望電圧 V_{desired} を選択する。スイッチングレギュレータの負荷が最小である場合、負荷は増加だけでき、従って、出力電圧 V_{out} は低下だけできる。逆に、スイッチングレギュレータの負荷が最大である場合、負荷は減少だけでき、従って、出力電圧 V_{out} は増加だけできる。負荷が低い場合、所望電圧 V_{desired} は僅かに公称電圧 V_{nom} より高くなるようセットされる。負荷が高い場合、所望電圧 V_{desired}

ed は僅かに公称電圧 V_{nom} より低くなるようセットされる。実線 82 で示すように、この技法は、超過電圧 ΔV_{excess} を低下させ、それによって、出力電圧 V_{out} が公称電圧 V_{nom} の所望の電圧許容範囲 ΔV_{nom} の範囲内に留まる可能性を高める。従って、与えられた負荷に対して、スイッチングレギュレータは、より小さなコンデンサを使用でき、かつ同じ電圧許容範囲を維持できる。クロックサイクル $n+1$ に対する所望電圧 $V_{desired[n+1]}$ は、次のように計算されてもよい：

【0060】

【式5】

$$V_{desired[n+1]} = c_1 V_{nom} + c_2 (V_{nom} - V_{desired[n]}) + (c_1 + c_2) \left(1 - 2 \frac{I_{load}}{I_{max}} \right) \cdot \Delta V_{swing} \quad (5)$$

【0061】

ここで、 I_{load} は負荷 14 を流れる電流（下記の式 8 から計算）、 I_{max} は負荷 14 の許容最大電流、 c_1 と c_2 はフィードバック定数、そして ΔV_{swing} は電圧許容範囲によって許容される電圧変動であり、すなわち、 $\Delta V_{swing} < \Delta V_{nom}$ である。例えば、公称電圧 V_{nom} が 1.3 ボルトで電圧許容範囲が $\pm 6\%$ であれば、 ΔV_{nom} は約 78 ミリボルト、 ΔV_{swing} はほぼ 30 ミリボルト、 c_1 は約 1.0、 c_2 は約 -0.9375 であろう。

【0062】

一旦、所望電圧 $V_{desired}$ がステップ 104 で決定されると、所望全電流 I_{total} はステップ 106 で決定される。特に、所望電流 I_{total} は、出力端子 22 における出力電圧 V_{out} を所望電圧 $V_{desired}$ に維持するためにセットされる。一般に、出力電圧 V_{out} が所望電圧 $V_{desired}$ に等しいと仮定すると、インダクタを介して負荷に流れる全電流は、負荷を介する電流に等しいはず、すなわち $I_{total} = I_{load}$ である。しかし、電圧 V_{out} が所望電圧 $V_{desired}$ と異なれば、スイッチングレギュレータ 10 を流れる電流はこの電圧誤差を補正するよう調整されてもよい。従って、所望全電流 I_{total} は次のように表される：

【0063】

【式6】

$$I_{total} = I_{load} + I_{adjust} \quad (6)$$

【0064】

ここで、 I_{adjust} は電圧誤差を補正する調整係数である。

【0065】

図9を参照して、出力端子に接続されるすべてのコンデンサがスレーブ内にあると仮定すると、負荷電流 I_{load} は、各スレーブ16からの出力電流 I_{out} (i) の合計に等しく、すなわち：

【0066】

【式7】

$$I_{load} = \sum_{i=1}^N I_{out}(i) \quad (7)$$

【0067】

各スレーブ16の出力電流 I_{out} (i) は、インダクタ34を流れる電流すなわちスレーブ電流 I_{slave} (i) と、コンデンサ36へまたはそこから流れる電流すなわちコンデンサ電流 I_{cap} (i) との差に等しく、その結果：

【0068】

【式8】

$$I_{out}(i) = I_{slave}(i) - I_{cap}(i) \quad (8)$$

【0069】

従って、この構成では所望全電流 I_{total} は次のように表される：

【0070】

【式9】

$$I_{total} = \sum_{i=1}^N I_{slave}(i) - \sum_{i=1}^N I_{cap}(i) + I_{adjust} \quad (9)$$

【0071】

スレーブ電流 I_{slave} (i) は、正確には既知ではないが、各スレーブからの

推定電流 $I_{estimate}$ の合計として近似されるであろう。加えて、コンデンサ電流 $I_{cap}(i)$ も既知ではなく、スレーブ内のコンデンサは、インダクタ 34 から共通ラインに接続されるマイクロプロセッサのバイパスコンデンサ等の一つ以上のコンデンサによって補完されるか、または置換えられてもよい。しかし一般に、出力電圧 V_{out} が変動していれば、電流はコンデンサ 36 へまたはそこから流れていなければならない。その結果、全コンデンサ電流 I_{CAP} は次式で表される：

【0072】

【式10】

$$I_{CAP} = C \cdot \frac{\Delta V_{out}}{\Delta T} \quad (10)$$

【0073】

ここで、 C は出力端子と接地間に接続されるコンデンサの全キャパシタンス、 ΔT はクロック周期、そして ΔV_{out} はクロック周期における出力電圧の変化である。従って、負荷電流 I_{load} は一般に次式より決定される：

【0074】

【式11】

$$I_{load} = \sum_1^N I_{estimate}(i) - \frac{\Delta V_{out}}{\Delta T} \cdot C \quad (11)$$

【0075】

図3に示す実施では、 ΔV_{out} の計算、すなわち $V_{out}[n] - V_{out}[n-1]$ はデジタル制御アルゴリズム 64 により実行されてもよいが、それに対して、図3Aに示す実施では、電圧差 $V_{out}[n] - V_{out}[n-1]$ はサンプリング&ホールド回路 60' によって与えられる。

【0076】

調整電流 I_{adjust} は、測定された出力電圧 V_{out} と所望電圧 $V_{desired}$ の差に正比例する。従って、所望全電流 I_{total} は次のように計算される：

【0077】

【式12】

$$I_{mid} = \sum_1^N I_{estimate}(i) - \frac{\Delta V_{out}}{\Delta T} \cdot C + K(V_{out} - V_{desired}) \quad (12)$$

【0078】

ここで、Kは調整電流 I_{adjust} を決定するフィードバック定数である。

【0079】

一旦全所望電流 I_{total} が決定されると、コントローラ18はいくつのスレーブがステップ108でアクティブにされるべきかについて決定する。電流サイクルのためのスレーブ数は、前のクロックサイクルで計算することができる。一般に、アクティブスレーブの数は、所望全電流に比例する。例えば、各スレーブ16の最大平均電流が約7アンペアだとすると、 I_{total} が0～7アンペアであるなら一つのスレーブがアクティブであればよく、 I_{total} が7～14アンペアなら2つのスレーブがアクティブであればよい、等である。より詳しくは、アクティブスレーブの数は表2によって与えられる。

【0080】

【表2】

クロックサイクルNに対するアクティブスレーブの数	全電流 I_{total} (アンペア)				
	クロックサイクルN+1に対するアクティブスレーブの数				
1	$0 > I_{total} \geq 7$	$7 > I_{total} \geq 14$	$14 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 > I_{total}$
	1	2	3	4	5
2	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 14$	$14 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 > I_{total}$
	1	2	3	4	5
3	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 21$	$21 \geq I_{total} > 28$	$28 > I_{total}$
	1	2	3	4	5
4	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 18$	$18 \geq I_{total} > 28$	$28 > I_{total}$
	1	2	3	4	5
5	$0 > I_{total} \geq 6$	$6 > I_{total} \geq 12$	$12 \geq I_{total} > 18$	$18 \geq I_{total} > 24$	$24 > I_{total}$
	1	2	3	4	5

表 2

【0081】

一旦所望全電流 I_{total} およびアクティブスレーブの数決定されると、所望電圧 $I_{desired}$ はステップ110で各スレーブについて計算されてもよい。特に、所望電圧 $I_{desired}$ は、単にアクティブスレーブの数により除算される全電流 I_{total} であってもよい。

【0082】

一旦、所望電流 $I_{desired}$ が各アクティブスレーブのために計算されると、各アクティブスレーブのスイッチング回路が制御され（ステップ112）、その結果、アクティブスレーブを流れる平均電流は実質的に所望電流 $I_{desired}$ に等しくなり、スイッチングレギュレータを流れる全電流は実質的に I_{total} に等しくなる。従って、スイッチングレギュレータ10から流れる電流は負荷12に流れる電流と一致し、それによって出力電圧を所望電圧 $V_{desired}$ に維持する。残りのすなわち、非アクティブのスレーブは接続されない。すなわち、PMOSトランジスタ30とNMOSトランジスタ32は共にオープンのみである。

【0083】

様々な制御アルゴリズムが、アクティブスレーブのスイッチング回路を制御することに対して可能であり、その結果、スイッチングレギュレータを流れる全電流は実質的に所望全電流 I_{total} に等しくなる。一般に、制御アルゴリズムは下記要因のバランスを取るよう選択される：1) 負荷変動に迅速に応答するためにすべてのスレーブを同時にスイッチオンまたはオフにできること、2) スレーブが電圧リップルを最小にするよう所望位相オフセットで動作することを確実にすること、3) 実質的に一定レベルで電圧を維持するために平均電流を所望電流に等しく維持すること、および4) 所望スイッチング周波数でスイッチングを行うこと。

【0084】

図10を参照して、アクティブスレーブの一つは、例えば所定の選択パターンに基づいて基準スレーブとして選択される(ステップ120)。例えば、特定スレーブが基準スレーブとして指定されてもよく、あるいは基準スレーブはスレーブを順に交代させてもよい。以下に検討されるように、残りのスレーブ、すなわち非基準スレーブの動作は基準スレーブの動作に結合される。基準スレーブは、スイッチングレギュレータのパワーアップ時、またはアクティブスレーブ数を変更する度に選択されてもよい。一旦基準スレーブが選択されると、所望位相オフセットは各非基準スレーブについて計算される(ステップ122)。所望位相オフセットは、アクティブスレーブの数が増える度に決定してもよい。非基準スレーブは、所望位相オフセットで動作するよう制御される。

【0085】

各クロックサイクルで、上限電流 I_{upper} と下限電流 I_{lower} を含む2つの電流制限が、基準スレーブについて計算される(ステップ124)。最終的に、基準スレーブは、基準スレーブ制御アルゴリズムに基づいて制御され(ステップ126)、そして非基準スレーブは非基準スレーブ制御アルゴリズムに基づいて制御される(ステップ128)。いくつかの実施では、基準スレーブは、推定電流 $I_{estimate}$ の上下の電流制限 I_{upper} と I_{lower} との比較に基づいて制御され、そして非基準スレーブは、所望位相オフセットに基づいて制御される。もちろん、図10に示すステップの順序は例としてであり、ステップは別の順序で並列に実行

できるであろう。例えば、任意の特定クロックサイクルにおいて、電流制限は位相オフセットの前に計算でき、スレーブが、以前のクロックサイクル内で計算し記憶した電流制限と位相オフセットに基づいて制御される場合、計算ステップは制御ステップの後で実行することができる。

【0086】

ステップ122では、各非基準スレーブについて、制御アルゴリズムは、基準スレーブと非基準スレーブの間でPMOSとNMOS導通状態の開始時における所望時間遅延を表わす所望位相オフセット $\Phi(i)$ を計算する。例えば、2台のスレーブがアクティブであれば、それらは 180° の位相ずれであり、時間遅延はスイッチング周期 T の半分、すなわち $\Phi(1) = 1/(2T)$ に等しいはずである。3台のスレーブがアクティブであれば、それらは、 120° の位相ずれであり、時間遅延 $\Phi(1)$ および $\Phi(2)$ はスイッチング周期のそれぞれ $1/3$ および $2/3$ に等しいはずである。位相がずれているスレーブを動作させることによって、各スレーブからの電流リップルは少なくとも部分的に打消され、それによって、スイッチングレギュレータからより一定の出力電流が提供される。所望位相オフセットは、表3により要約される。

【0087】

【表3】

所望位相 オフセット	アクティブスレーブの数				
	1	2	3	4	5
$\Phi(0)$ 基準	0	0	0	0	0
$\Phi(1)$		$(1/2)T$	$(1/3)T$	$(1/4)T$	$(1/5)T$
$\Phi(2)$			$(2/3)T$	$(1/2)T$	$(2/5)T$
$\Phi(3)$				$(3/4)T$	$(3/5)T$
$\Phi(4)$					$(4/5)T$

表 3

【0088】

上下の電流制限 I_{upper} と I_{lower} がステップ124で基準スレーブについて計算され、その結果、基準スレーブ16を介する平均電流が所望電流 $I_{desired}$ に等しくなる。特に、上限電流 I_{upper} と下限電流 I_{lower} は次のように計算される

【0089】

【式13】

$$I_{upper} = I_{desired} + \frac{1}{2}\Delta I_0 \quad I_{lower} = I_{desired} - \frac{1}{2}\Delta I_0 \quad (13)$$

【0090】

ここで、 ΔI_0 は基準スレーブのバンド幅である。バンド幅 ΔI_0 は、次のように所望スイッチング周波数に基づいてセットされる：

【0091】

【式14】

$$\Delta I_0 = \frac{1}{\left(\frac{L}{V_{in} - V_{out}} + \frac{L}{V_{out}} \right)} \cdot \frac{1}{f_{switch}} \quad (14)$$

【0092】

ここで、 f_{switch} は所望スイッチング周波数である。所望スイッチング周波数は、適切な電力効率を維持しながら良好な動的応答を備えるように選択される。一般に、スイッチング周波数の増加は、電流リップルを低減させるが、スイッチングレギュレータを非効率にする。逆に、スイッチング周波数の低下は、スイッチングレギュレータの電力効率を向上させるが電流リップルが増加する。スイッチング周波数は、約0.5～5.0MHzの範囲内、例えば約1MHzにある。所望スイッチング周波数を与えるバンド幅計算は、式14における他の変数の測定値または公称値のいずれかに基づく。

【0093】

基準スレーブの制御におけるマスタコントローラ18の基本的な動作の一つの実施は、図11と図12を参照して説明される。前記のように、マスタコントローラ18は、ステップ102において推定電流 $I_{estimate}$ を計算する（実線70で示す）。マスタコントローラ18はまた、ステップ122で上限電流 I_{upper} （実線72で示す）と下限電流 I_{lower} （実線74で示す）も計算する。デジタ

ル制御アルゴリズム64は、基準スレーブの推定電流 $I_{estimate}$ を上限電流 I_{upper} および下限電流 I_{lower} と比較して、第1と第2のトランジスタ30、32をスイッチングすべきかどうか判定する。特に、推定電流 $I_{estimate}$ が上限電流 I_{upper} を超える場合、NMOSTランジスタ32が閉じて、PMOSTランジスタ30が開き、それによって中間端子26を接地する。一方、推定電流 $I_{estimate}$ が下限電流 I_{lower} を下回る場合、NMOSTランジスタ32は開いて、PMOSTランジスタ30が閉じ、それによって中間端子26は入力電圧源12に接続される。従って、推定電流 $I_{estimate}$ が基準スレーブを流れる電流 I_{slave} を正確に表すと仮定すると、基準スレーブ電流 I_{slave} （想像線76で示す）は、上限電流 I_{upper} と下限電流 I_{lower} の間で振動し、基準スレーブ電流 I_{slave} の平均電流が、所望電流 $I_{desired}$ に略等しくなる（想像線78で示す）。

【0094】

図1Aに示すスイッチングレギュレータ10'において、推定電流 $I_{estimate}$ が上限電流 I_{upper} を超える場合、マスタコントローラ18'はパルス49bを状態制御ライン44fに出力する。このパルスは、オンチップインタープリタ48によって、PMOSTランジスタ30を開き（図13Aにローになる制御ライン44aで示す）、NMOSTランジスタ32を閉じる命令として解釈される。一方推定電流 $I_{estimate}$ が下限電流 I_{lower} を下回って降下する場合、マスタコントローラは、NMOSTランジスタ32を開きPMOSTランジスタ30を閉じさせる制御ライン44aにパルス49aを出力する（図13Aにハイになる制御ライン44aで示す）。

【0095】

上限電流 I_{upper} と下限電流 I_{lower} は、基準スレーブから流れる平均電流と確実に一致することを確実にするようスイッチング回路24の制御に用いられる。例えば、負荷が増加すると、 $I_{desired}$ は増加し、制限電流 I_{upper} と I_{lower} が増加する。一方、負荷が減少すると、 $I_{desired}$ は減少し、制限電流 I_{upper} と I_{lower} が減少する。加えて、負荷が実質的に一定である場合、上限電流 I_{upper} と下限電流 I_{lower} 間のバンド幅 ΔI_0 は、スイッチング回路24のスイッチング周波数をセットする。

【0096】

種々の制御アルゴリズムが、所望電流と位相オフセットを達成するための非基準スレーブのスイッチング回路の制御に対して可能である。図14および図15を参照すると、デジタル制御アルゴリズム64の一つの実施では、非基準スレーブは、電流制限の一つ、および基準スレーブにおけるトランジスタの一つのスイッチング時間に基づいて制御される。要約すると、非基準スレーブのスイッチングは2つのイベント：スレーブに対する推定電流が流制限の一つを通過するとき、および基準スレーブが他の電流制限によるスイッチングを行う時に開始する位相オフセットタイマーの終了時によって、誘引される。

【0097】

特に、非基準スレーブの推定電流 $I_{estimate}$ が（基準スレーブのための式12で計算した）上限電流 I_{upper} を超える場合、非基準スレーブはそのNMOS導通状態を開始し、すなわちPMOSTランジスタ30が開かれ、NMOSTランジスタ32が閉じられる。デジタル制御アルゴリズムは、一つ以上の位相オフセットタイマーを含むことができる。位相オフセットタイマーは、非基準スレーブのPMOS導通状態の誘引に用いられる。特に、基準スレーブがそのPMOS導通状態を開始する時、タイマーは開始される。各クロックサイクルで、タイマーは各非基準スレーブの所望位相オフセット $\Phi(i)$ と比較される。特定の非基準スレーブと関連付けられるオフセット時間 $\Phi(i)$ が終了した場合、非基準スレーブはPMOS導通状態を開始し、すなわち、NMOSTランジスタ32が開かれ、PMOSTランジスタ30が閉じられる。従って、位相オフセット $\Phi(i)$ は、NMOS導通状態の開始における基準スレーブと非基準スレーブ間の遅延を決定する。もちろん、誘引の仕組みは、非基準スレーブが下限電流 I_{lower} を下回って降下する時に誘引されるPMOS導通状態と、基準スレーブがそのNMOS導通状態を開始する時に作動するタイマーでは、反転可能である。

【0098】

図16と図17を参照すると、デジタル制御アルゴリズム64の第2の実施では、上下の電流制限 $I_{upper}(i)$ と $I_{lower}(i)$ は、各非基準スレーブのために計算される。上下の電流制限は、非基準スレーブ16の平均電流が所望電流 I

desired に等しくなるように選択される。各スレーブは自らの電流制限を持つので、各スレーブのバンド幅 ΔI_i はそのスレーブのスイッチング周波数を制御する。特に、スイッチング周期 T は以下の式から計算できる：

【0099】

【式15】

$$T = \Delta I_i \cdot \left(\frac{L}{V_{in} - V_{out}} - \frac{L}{V_{out}} \right) \quad (15)$$

【0100】

基準スレーブと非基準スレーブ間の位相差を調整するために、非基準スレーブのバンド幅 ΔI_i は、そのスイッチング周波数を変更するために調整される。これは、非基準スレーブを基準スレーブに対して遅くしたり速くしたりすることによって、PMOSおよびNMOS導通状態間の時間差を変更する。一旦、所望位相差が達成されると、非基準スレーブのバンド幅が再度調整されて、それにより2つのスレーブのスイッチング周波数が一致する。非基準スレーブのバンド幅を調整するために、デジタル制御アルゴリズム64は、2つのスレーブのNMOSおよびPMOS導通状態の開始の実際の時間遅延 T_N および T_P を測定する。次いで、バンド幅 ΔI_i は、所望のおよび実際の時間遅延の間の誤差または差に比例するフィードバック項を加えた所望バンド幅に等しくなるようセットされる。例えば、バンド幅 ΔI_i は、次のように計算される：

【0101】

【式16】

$$\Delta I_i = \Delta I_0 + K_1[\Phi(i) - T_N] + K_2[\Phi(i) - T_P] \quad (16)$$

【0102】

ここで、 K_1 と K_2 はフィードバック誤差定数、 ΔI_0 は式13で計算される所望バンド幅である。次いで、上限電流 $I_{upper}(i)$ と下限電流 $I_{lower}(i)$ は、次のように計算される：

【0103】

【式17】

$$I_{upper}(i) = I_{desired}(i) + \frac{1}{2}\Delta I_i \quad I_{lower}(i) = I_{desired}(i) - \frac{1}{2}\Delta I_i \quad (17)$$

【0104】

上限電流 $I_{upper}(i)$ と下限電流 $I_{lower}(i)$ を用いて、非基準スレーブの第1と第2のトランジスタ30、32のトリガーをかける。特に、推定電流 $I_{estimate}(i)$ が上限電流 $I_{upper}(i)$ を超える場合、PMOSTランジスタ30は開き、NMOSTランジスタ32は閉じる。一方、推定電流 $I_{estimate}(i)$ が下限電流 $I_{lower}(i)$ を下回る場合、NMOSTランジスタ32は開き、PMOSTランジスタ30は閉じる。その結果、推定電流 $I_{estimate}(i)$ が正確にスレーブ電流 $I_{slave}(i)$ を表すとすれば、スレーブ電流 $I_{slave}(i)$ は、上限 $I_{upper}(i)$ と下限 $I_{lower}(i)$ の間で振動する。従って、スレーブを流れる平均電流は $I_{desired}(i)$ にほぼ等しく、スイッチングレギュレータを流れる全電流はほぼ所望全電流 I_{total} に等しくなる。スレーブからの平均全出力電流が負荷に一致するように、上下の電流制限がセットされる。

【0105】

図18ないし図23を参照すると、第3の実施では、デジタル制御アルゴリズム64は、各非基準スレーブ16のための「ゴースト」電流を計算する。ゴースト電流 $I_{ghost}(i)$ はそのスレーブを流れる所望電流を表し、電流制限および所望の位相オフセットが与えられる。各非基準スレーブは、非基準スレーブのための推定電流 $I_{estimate}(i)$ をゴースト電流 $I_{ghost}(i)$ と比較することにより制御される。

【0106】

ゴースト電流は、推定電流の計算と同様の方式で計算される。すなわち、ゴーストPMOS導通状態の間、ゴースト電流 $I_{ghost}(i)$ (図22の実線84で示す) がクロックサイクル毎に一定勾配の上昇値 $\Delta I_{up-ghost}$ 分だけ増加され、そしてゴーストNMOS導通の間、ゴースト電流 $I_{ghost}(i)$ がクロックサイクル毎に一定勾配の下降値 $I_{down-ghost}$ 分だけ減少される。しかし、ゴースト電流 $I_{ghost}(i)$ が上限電流 I_{upper} を超える場合、ゴースト電流は上限電流 I_{up}

per に等しくセットされる。同様に、ゴースト電流 $I_{ghost}(i)$ が下限電流 I_{lower} を下回る場合、ゴースト電流は上限電流 I_{lower} に等しくセットされる。

【0107】

ゴースト導通状態は、基準スレーブおよび所望位相オフセットのスイッチングによってトリガーがかけられる（図20および21を参照）。特に、ゴーストは、基準スレーブがPMOS導通状態にスイッチングした後、所望位相オフセット $\Phi(i)$ でゴーストPMOS導通状態にスイッチングする。同様に、ゴーストは、基準スレーブがNMOS導通状態にスイッチングした後で、所望位相オフセット $\Phi(i)$ でゴーストNMOS導通状態にスイッチングする。

【0108】

上記のように、非基準スレーブのスイッチングは、非基準スレーブのための推定電流 $I_{estimate}(i)$ （図23の実線86で示す）を、非基準スレーブのためのゴースト電流 $I_{ghost}(i)$ （図23内に示された破線84）と比較することにより制御される。特に、非基準スレーブがPMOS導通状態にあり、ゴーストがNMOS導通状態にあり、そして推定電流 $I_{estimate}(i)$ がゴースト電流 $I_{ghost}(i)$ を超える場合、スレーブはNMOS導通状態にスイッチングする。同様に、非基準スレーブがNMOS導通状態にあり、ゴーストがPMOS導通状態にあり、そして推定電流 $I_{estimate}(i)$ がゴースト電流 $I_{ghost}(i)$ を下回る場合、スレーブはPMOS導通状態にスイッチングする。換言すると、スレーブが推定電流をスイッチングする場合、ゴースト電流を横切り、2つの電流は逆の傾斜を持つ。このように、スレーブは、ゴースト電流を効率よく追跡するためにスイッチングされる。加えて、ゴーストがPMOS導通状態にある場合、非基準スレーブは、推定電流 $I_{estimate}(i)$ が、電流オフセット I_{over} によってゴースト電流 $I_{ghost}(i)$ を超えればNMOS導通状態にスイッチングする。そして、ゴーストがNMOS導通状態にある場合、非基準スレーブは、推定電流 $I_{estimate}(i)$ が、電流オフセット I_{under} によってゴースト電流 $I_{ghost}(i)$ を下回ればPMOS導通状態にスイッチングする。これにより、ゴースト電流が急に変化する場合でも、電流スレーブはゴースト電流を確実に追跡できる。

【0109】

図24ないし図27を参照すると、第4の実施では、デジタル制御アルゴリズム64は、基準スレーブと非基準スレーブの両方について「ゴースト」電流を計算し、基準スレーブと非基準スレーブはともに、推定電流 $I_{\text{estimate}}(i)$ をゴースト電流 $I_{\text{ghost}}(i)$ と比較することにより制御される。

【0110】

図25を参照すると、デジタル制御アルゴリズム64は、所望スイッチング周波数にほぼ等しい、例えば1MHzのスイッチング周波数、および所望デューティサイクルにほぼ等しい、例えば $V_{\text{out}}/V_{\text{in}}$ のデューティサイクル D_s を持つクロック信号90を発生する。デューティサイクルは、 V_{in} と V_{nom} の公称値に基づいて固定されてもよい。クロック信号90を用いて、各ゴーストのゴースト導通状態を制御する。特に、クロック信号は、所望位相オフセット $\phi(i)$ によってオフセットされる各クロック信号を用いて、各アクティブスレーブ用に発生されることができる。ゴーストは、スレーブに関連付けられるクロック信号90がハイの場合、ゴーストPMOS導通状態内にあり、そしてゴーストは、スレーブに関連付けられるクロック信号90がローの場合、ゴーストNMOS導通状態内にある。例えば、3つのスレーブがアクティブである場合、第3のゴーストは、第2のゴースト後のスイッチング周期の $1/3$ 後で、そして第1のゴースト後のスイッチング周期の $2/3$ 後にスイッチングする。基準スレーブがPMOS導通状態にスイッチングした後の所望位相オフセット $\phi(i)$ で、

図25と図26に最もよく示されるように、ゴースト電流は、さもなければ、第3の実施および図18を参照して検討したゴースト電流の計算と同様の方法で計算される。すなわち、ゴーストPMOS導通状態の間、ゴースト電流 $I_{\text{ghost}}(i)$

(i) (図26に実線92で示す) は、各クロックサイクルで一定勾配の上昇値 $\Delta I_{\text{up-ghost}}$ 分だけ増加され、ゴーストNMOS導通状態の間、ゴースト電流 $I_{\text{ghost}}(i)$ は、各クロックサイクルで一定勾配の下降値 $\Delta I_{\text{down-ghost}}$ 分だけ減少される。しかし、ゴースト電流 $I_{\text{ghost}}(i)$ が上限電流 I_{upper} を超える場合、ゴースト電流は上限電流 I_{upper} に等しくセットされる。同様に、ゴースト電流 $I_{\text{ghost}}(i)$ が下限電流 I_{lower} を下回る場合、ゴースト電流は上限電流 I_{lower} に等しくセットされる。

【0111】

図24と図27を参照すると、上記のように、非基準スレーブのスイッチングは、非基準スレーブのための推定電流 $I_{\text{estimate}}(i)$ (実線94で示す) を、非基準スレーブについてのゴースト電流 $I_{\text{ghost}}(i)$ (点ライン92で示す) と比較することにより制御される。特に、非基準スレーブがPMOS導通状態にあり、ゴーストがNMOS導通状態にあり、そして推定電流 $I_{\text{estimate}}(i)$ がゴースト電流 $I_{\text{ghost}}(i)$ を超える場合、スレーブはNMOS導通状態にスイッチングする。同様に、非基準スレーブがNMOS導通状態にあり、ゴーストがPMOS導通状態にあり、そして推定電流 $I_{\text{estimate}}(i)$ がゴースト電流 $I_{\text{ghost}}(i)$ を下回る場合、スレーブはPMOS導通状態にスイッチングする。換言すると、スレーブが推定電流をスイッチングする場合、ゴースト電流を横切り、2つの電流は逆の傾斜を持つ。このように、スレーブはスイッチングされてゴースト電流を効率よく追跡する。

【0112】

加えて、非基準スレーブは、推定電流 $I_{\text{estimate}}(i)$ が上限電流 I_{upper} を超える場合、NMOS導通状態にスイッチングするか、あるいは、推定電流 $I_{\text{estimate}}(i)$ が下限電流 I_{lower} を下回る場合、PMOS導通状態にスイッチングする。効率を低下させる過度のスイッチングを抑制するために、ゴーストの一定勾配の上昇値 $\Delta I_{\text{up-ghost}}$ と一定勾配の下降値 $\Delta I_{\text{down-ghost}}$ は、推定電流のための一定勾配の上昇値 ΔI_{up} および一定勾配の下降値 ΔI_{down} 未満に、例えば約20~25%までに、人工的にセットされてもよい。あるいは、ゴースト電流は予め設定されたいくつかのマージンによって、上下の電流制限 I_{upper} と I_{lower} を超え、または下回ることが許容され得る。

【図面の簡単な説明】

【図1】

本発明に従うスイッチングレギュレータのブロック図である。

【図1A】

本発明に従うスイッチングレギュレータの別の実施のブロック図である。

【図2】

図1のスイッチングレギュレータの電流センサのブロック図である。

【図3】

図1のスイッチングレギュレータのコントローラのブロック図である。

【図3A】

図1Aのスイッチングレギュレータのコントローラのブロック図である。

【図4】

図3のコントローラによって実行される方法を示すフローチャートである。

【図5】

推定電流をスレーブを流れる実際の電流と比較するタイミング図である。

【図6】

推定電流の補正を説明するタイミング図である。

【図7】

図6A～図6Dの推定電流の補正と関連する電流センサからの出力信号を説明するタイミング図である。

【図8】

所望の電圧をスイッチングレギュレータの実際の出力電圧と比較するタイミング図である。

【図9】

所望の電流の決定に用いる簡略化したブロック図である。

【図10】

図4の方法からのスイッチング回路を制御するステップを示すフローチャートである。

【図11】

図1のスイッチングレギュレータの基準スレーブを制御する方法を説明するフローチャートである。

【図12】

図11の方法から生じる基準スレーブを流れる電流を説明するタイミング図である。

【図13】

図11の基準スレーブへの制御信号を説明するタイミング図である。

【図13A】

図1Aのスイッチングレギュレータからの基準スレーブへの制御信号を説明するタイミング図である。

【図14】

スレーブの位相関係を制御する方法を説明するフローチャートであり、図において、一つのトランジスタが、基準スレーブのスイッチングに続いてプリセット時間でスイッチングされ、そして他のトランジスタが推定電流と電流限界との比較に基づいてスイッチングされる。

【図15】

図14の方法から生じる基準スレーブと非基準スレーブを流れる電流を説明するタイミング図である。

【図16】

スレーブの位相関係を制御する方法を説明するフローチャートであり、その方法で非基準スレーブの電流限界が調整される。

【図17】

図16の方法から生じる基準スレーブと非基準スレーブを流れる電流を説明するタイミング図である。

【図18】

非基準スレーブのためにゴースト電流を生成する方法を説明するフローチャートである。

【図19】

スレーブの位相関係を制御する方法を説明するフローチャートであり、その方法で推定スレーブ電流がゴースト電流と比較される。

【図20】

図18と図19の方法を実行しているときに、基準スレーブを流れる電流を説明するタイミング図である。

【図21】

図20で示す基準スレーブ電流から生じる一つの非基準スレーブのためのゴースト電流を説明するタイミング図である。

スト導通状態を説明するタイミング図である。

【図 2 2】

図 1 8 で示す方法から生じるゴースト電流、および図 2 1 で示すゴースト導通状態を説明するタイミング図である。

【図 2 3】

図 1 9 で示す方法から生じる基準スレーブ性能、および図 2 2 で示すゴースト電流を説明するタイミング図である。

【図 2 4】

スレーブの位相関係を制御する方法を説明するフローチャートであり、その方法で、ゴースト電流が基準スレーブと非基準スレーブについて生成され、推定スレーブ電流がスレーブを制御するゴースト電流と比較される。

【図 2 5】

クロック信号から生じる非基準スレーブの一つについてのゴースト導通状態を説明するタイミング図である。

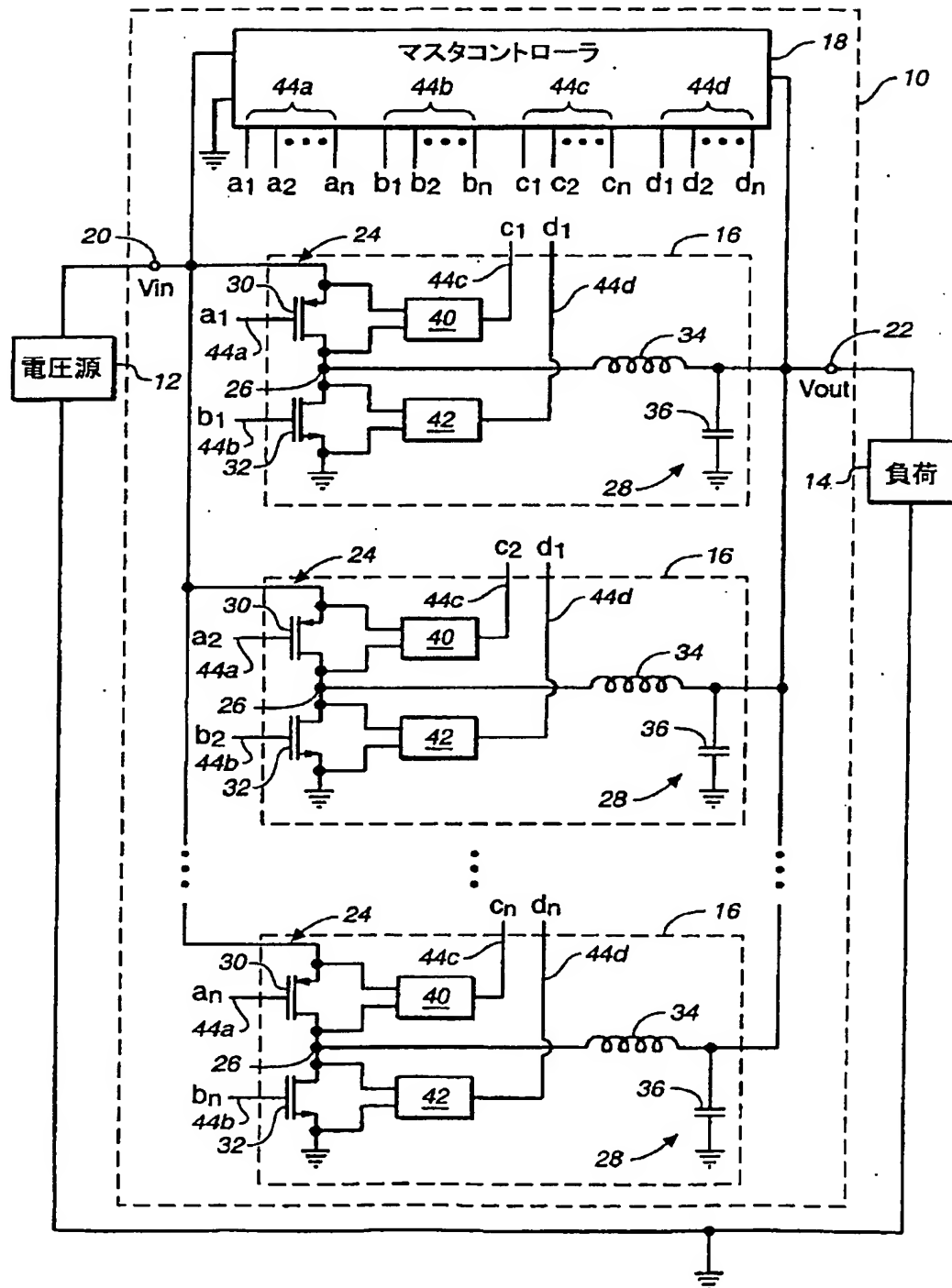
【図 2 6】

図 1 8 で示す方法から生じるゴースト電流、および図 2 5 で示すゴースト導通状態を説明するタイミング図である。

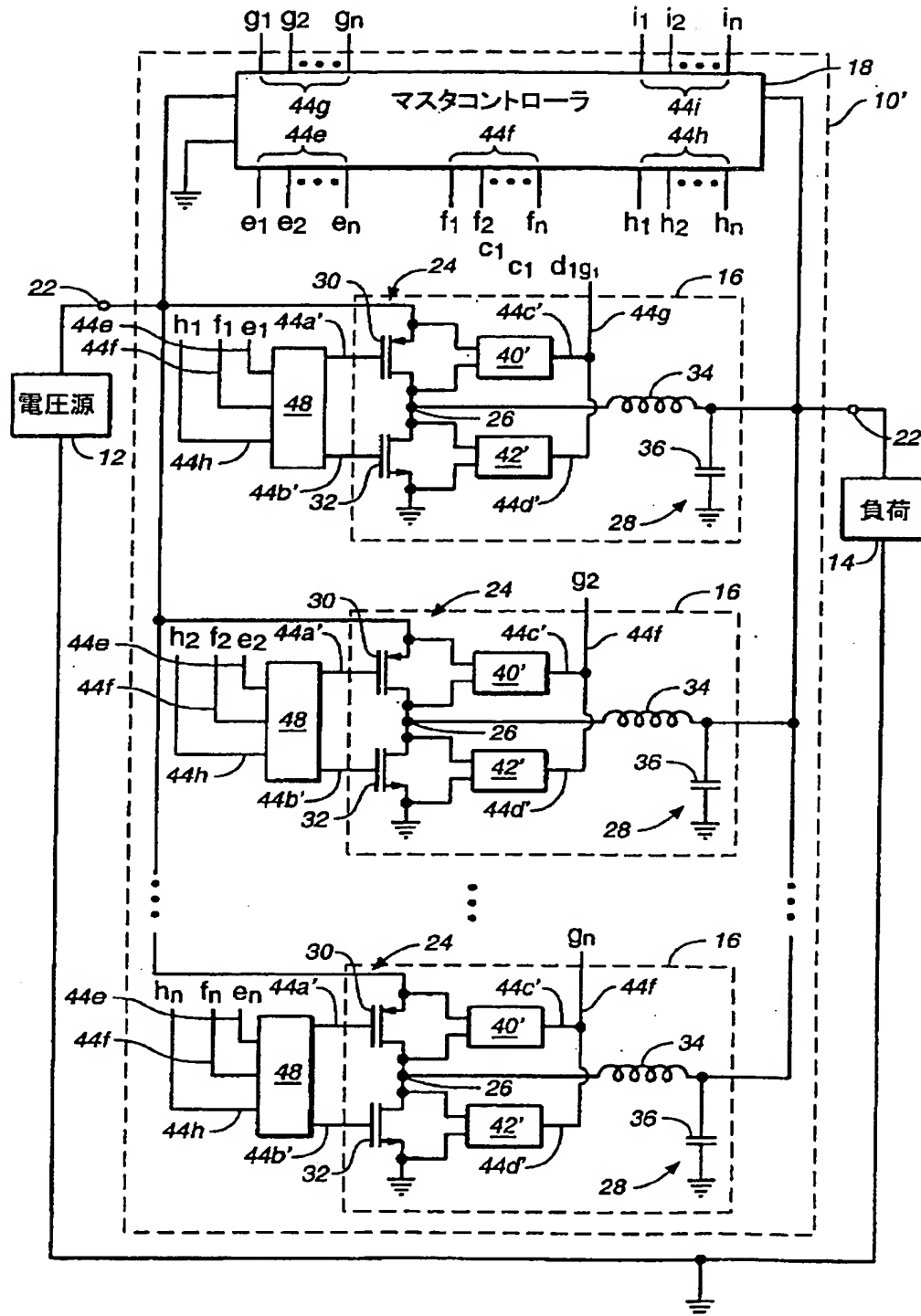
【図 2 7】

図 2 4 で示す方法から生じるスレーブ性能、および図 2 6 で示すゴースト電流を説明するタイミング図である。

【図1】



【図1 A】



【図2】

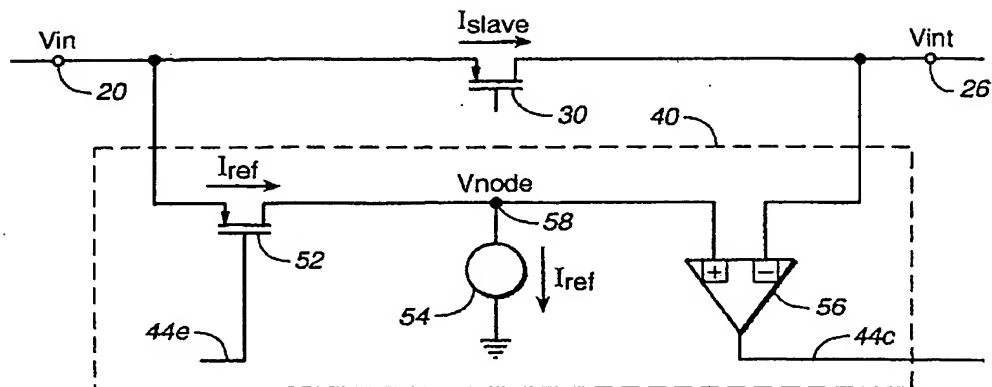
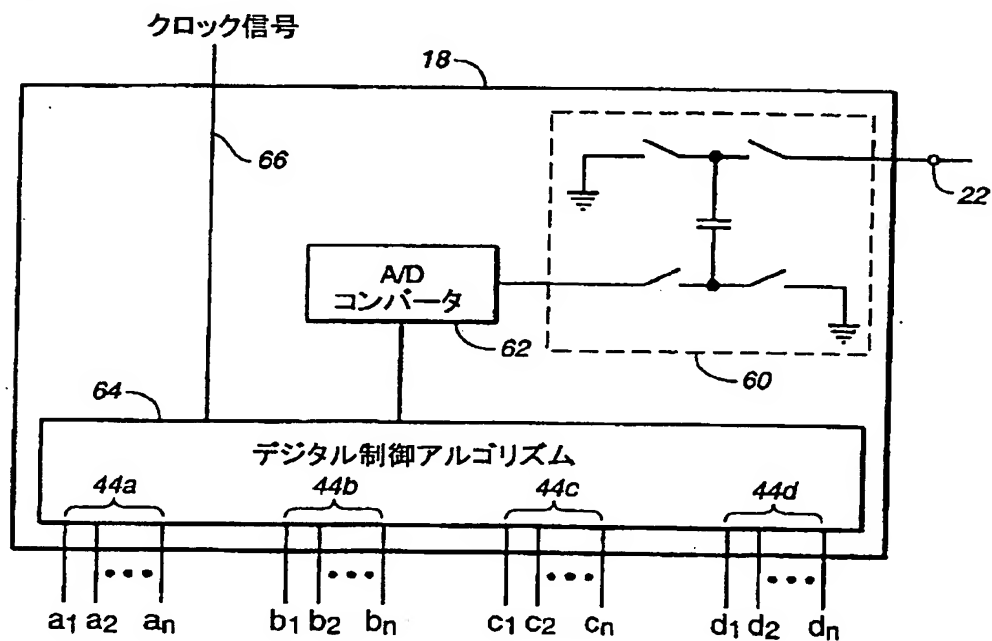
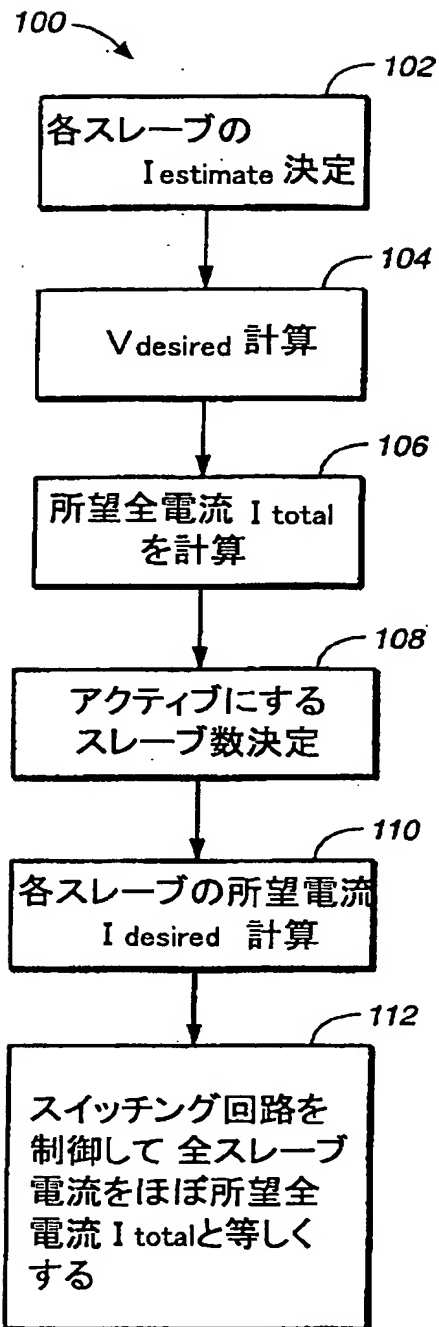


FIG. 2

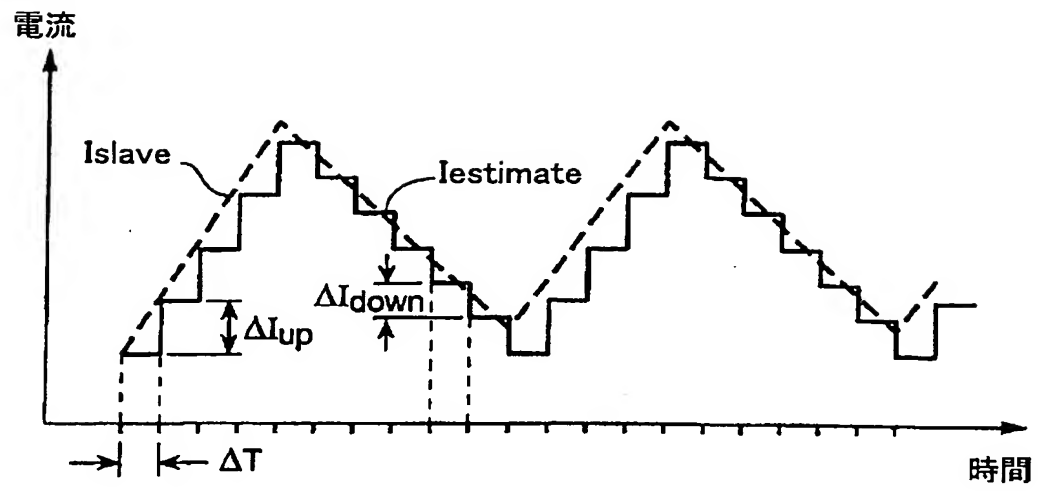
【図3】



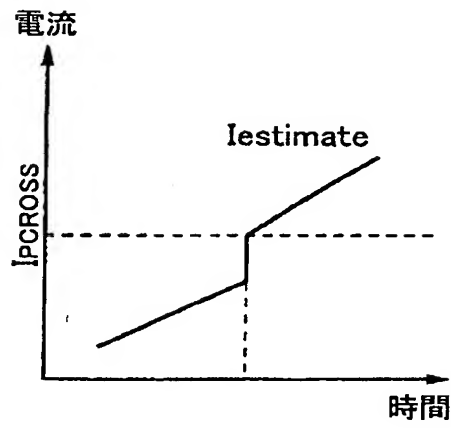
【図4】



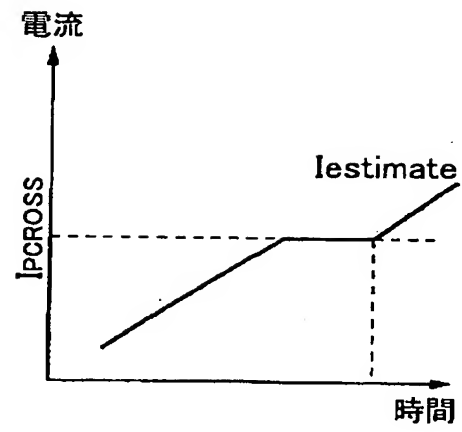
【図5】



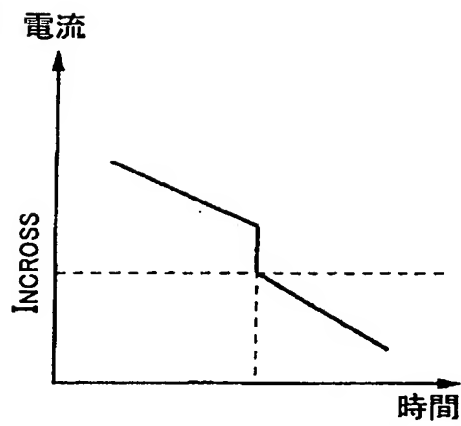
【図6】



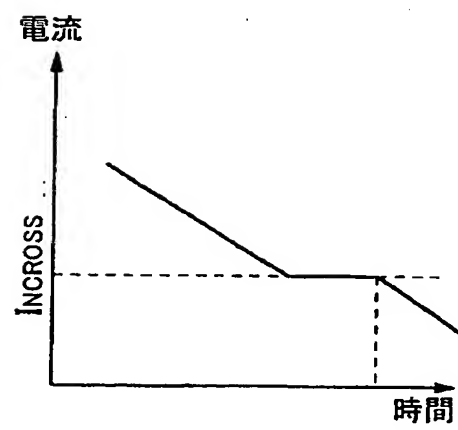
(A)



(B)

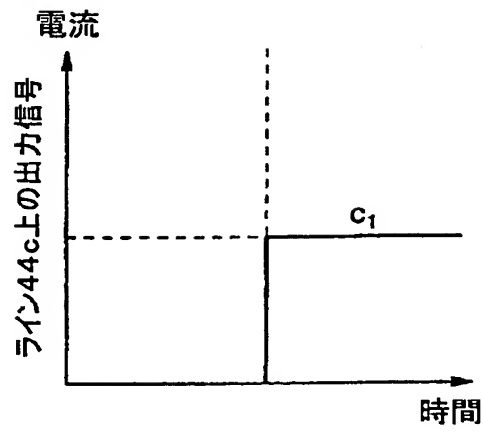


(C)

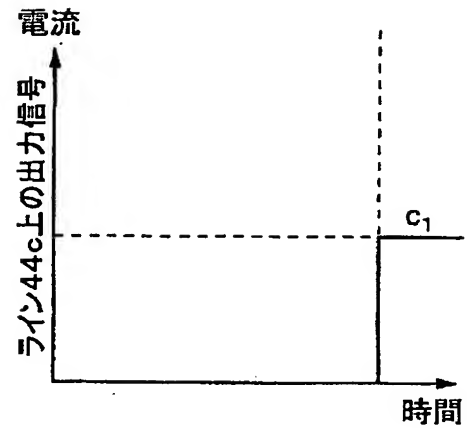


(D)

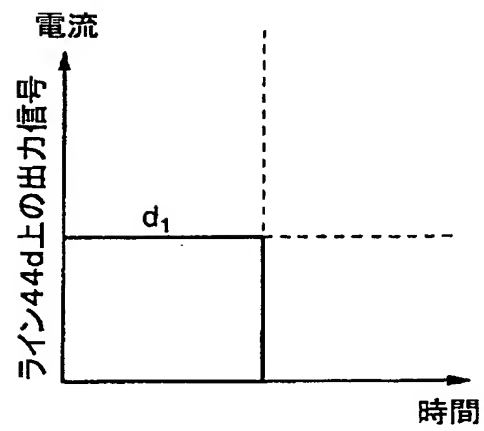
【図7】



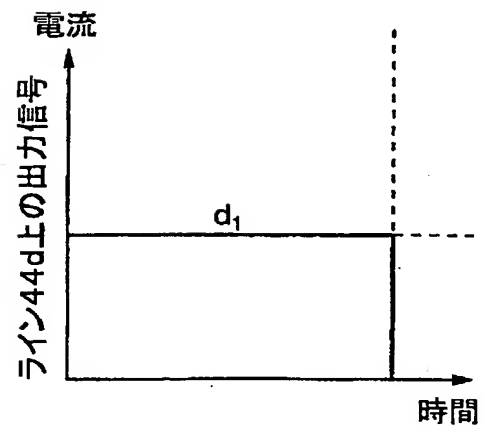
(A)



(B)

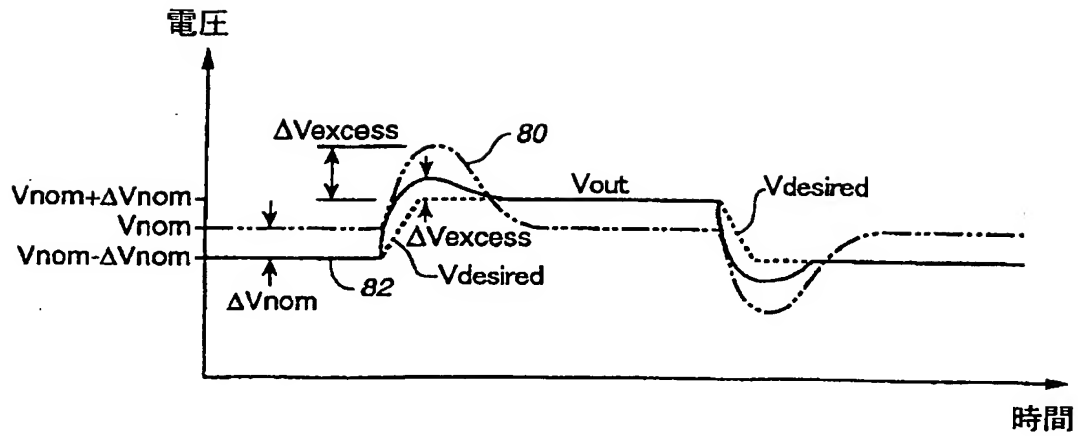


(C)

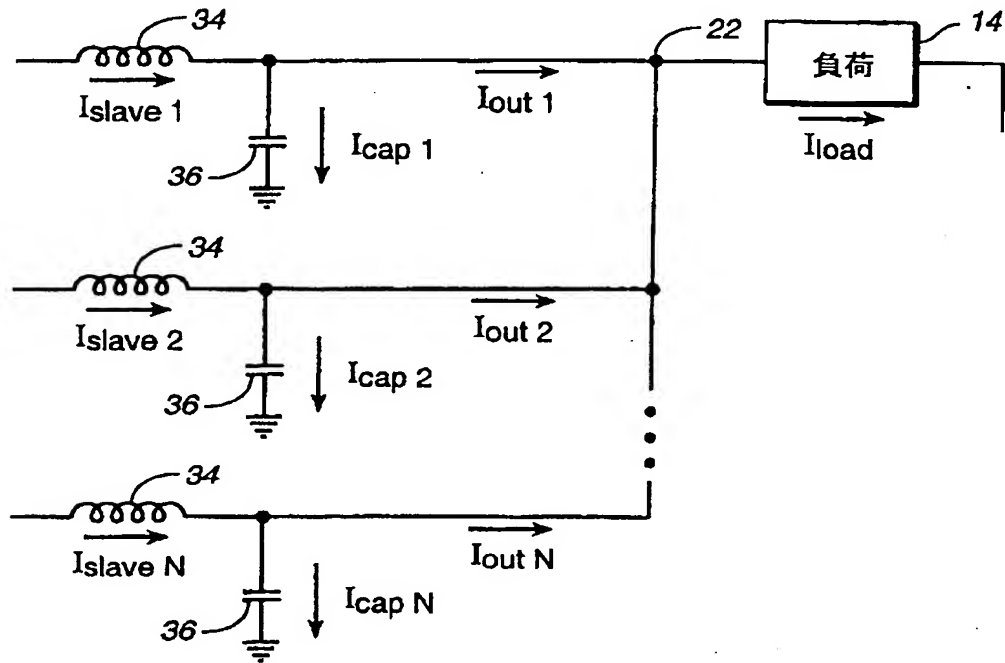


(D)

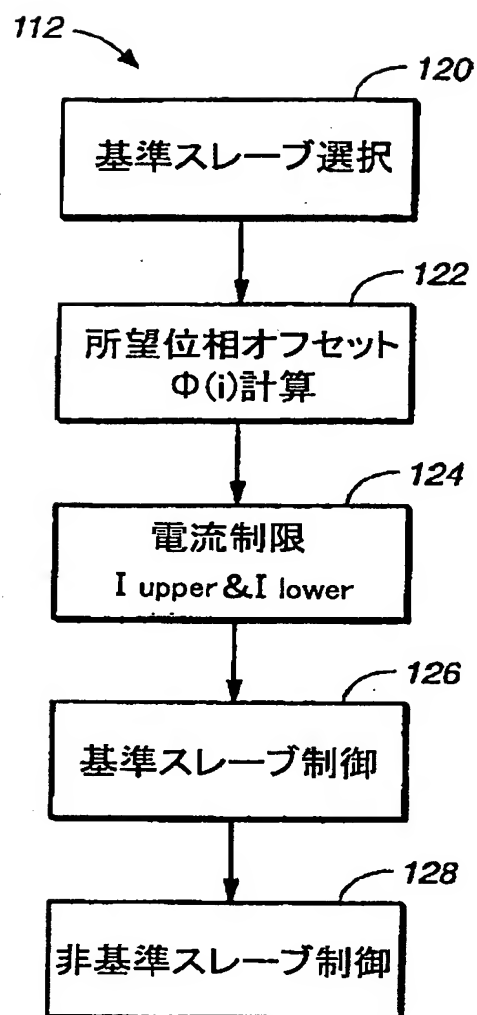
【図 8】



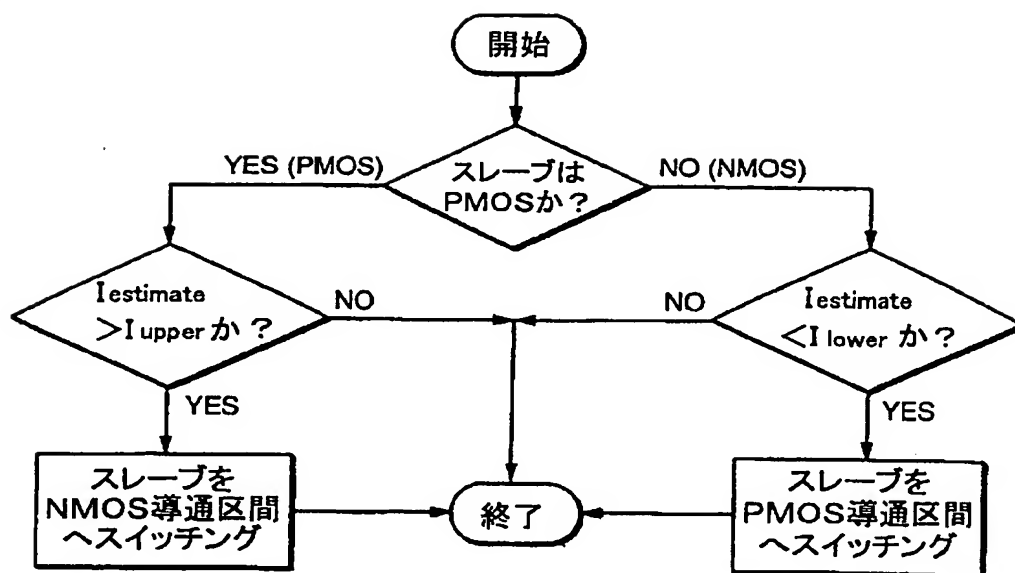
【図 9】



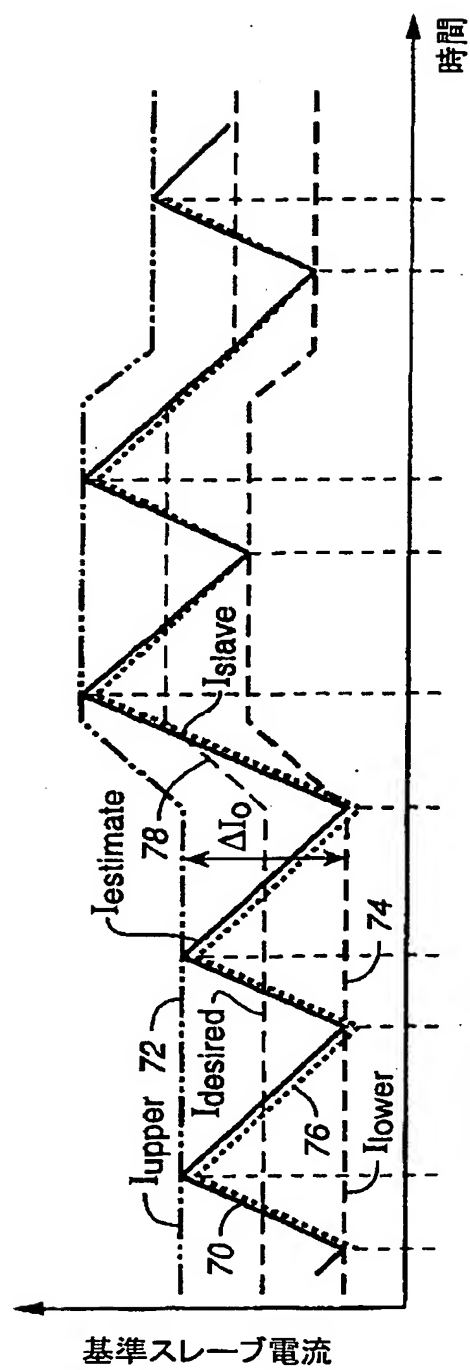
【図10】



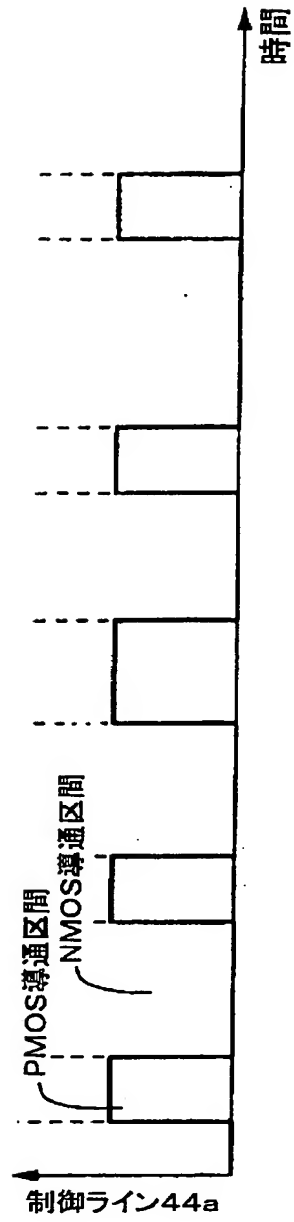
【図11】



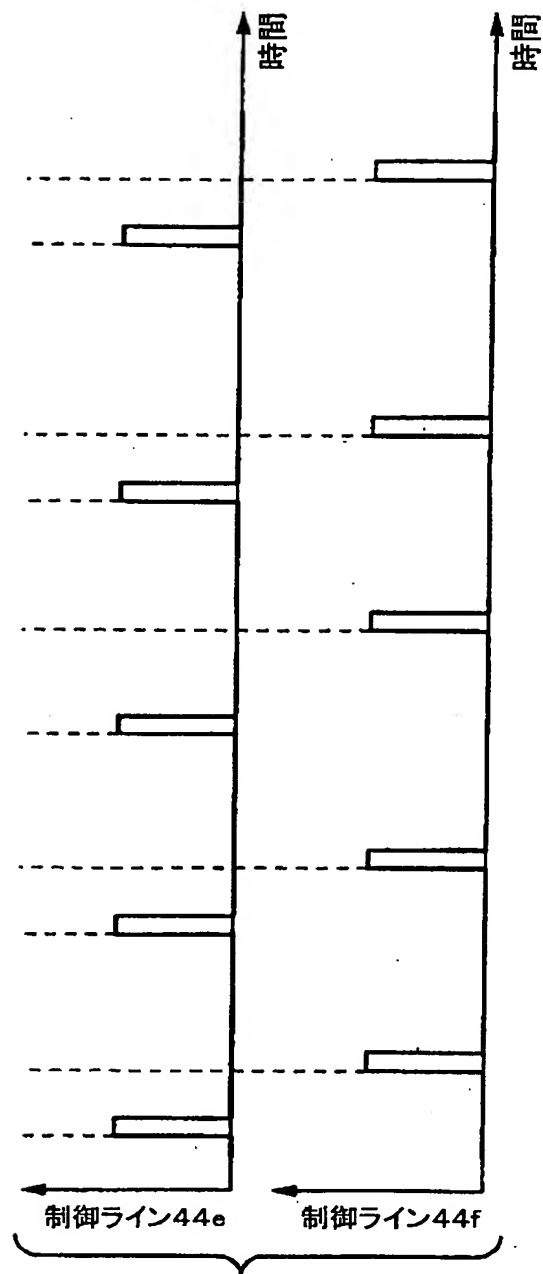
【図12】



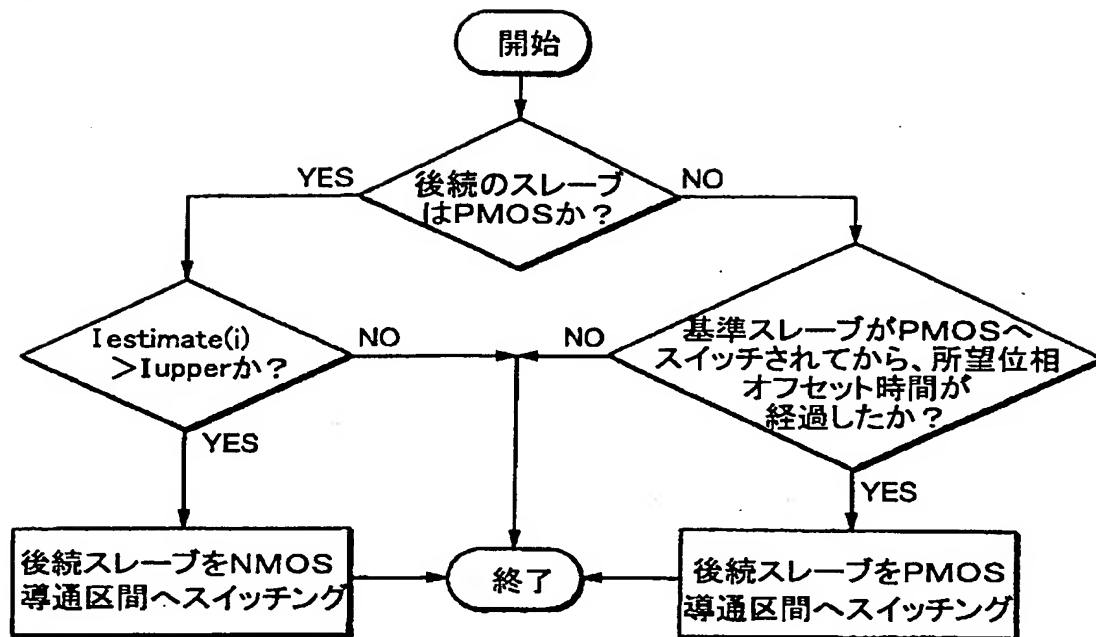
【図13】



【図13A】



【図14】



【図15】

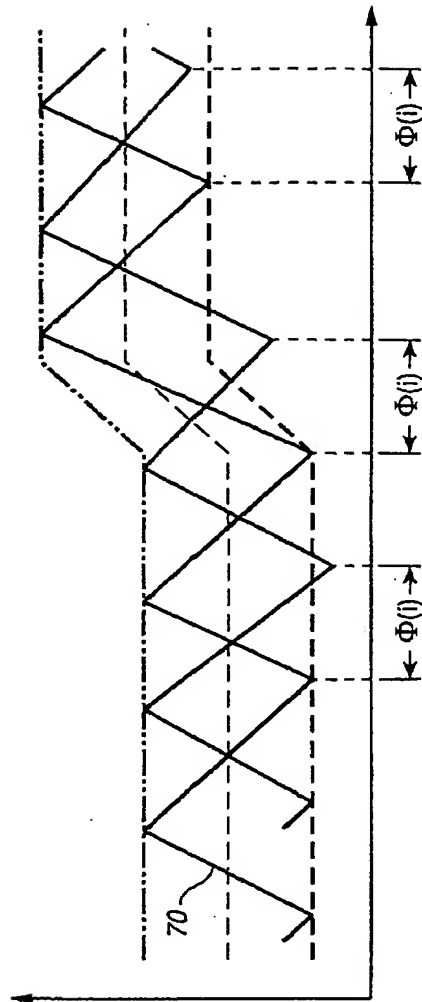
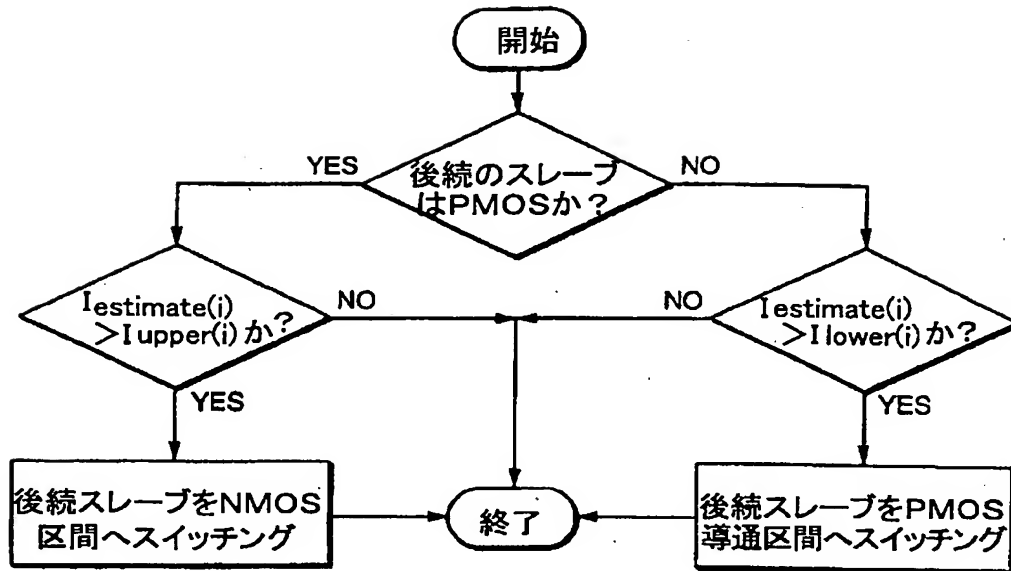


FIG. 15

【図16】



【図17】

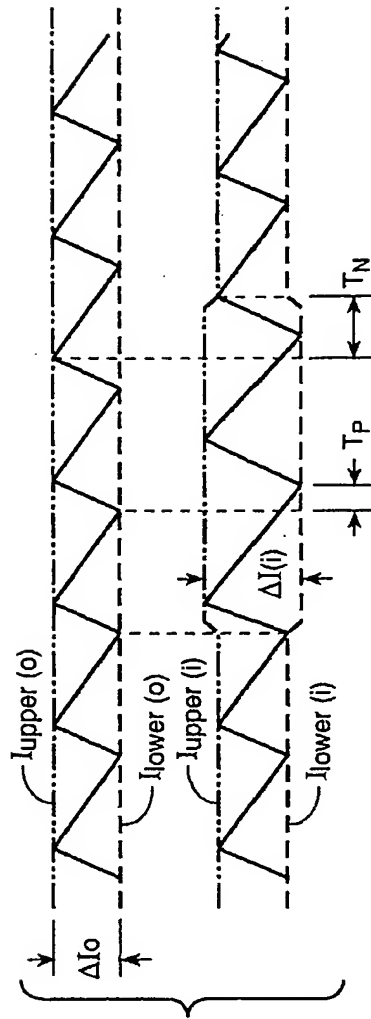
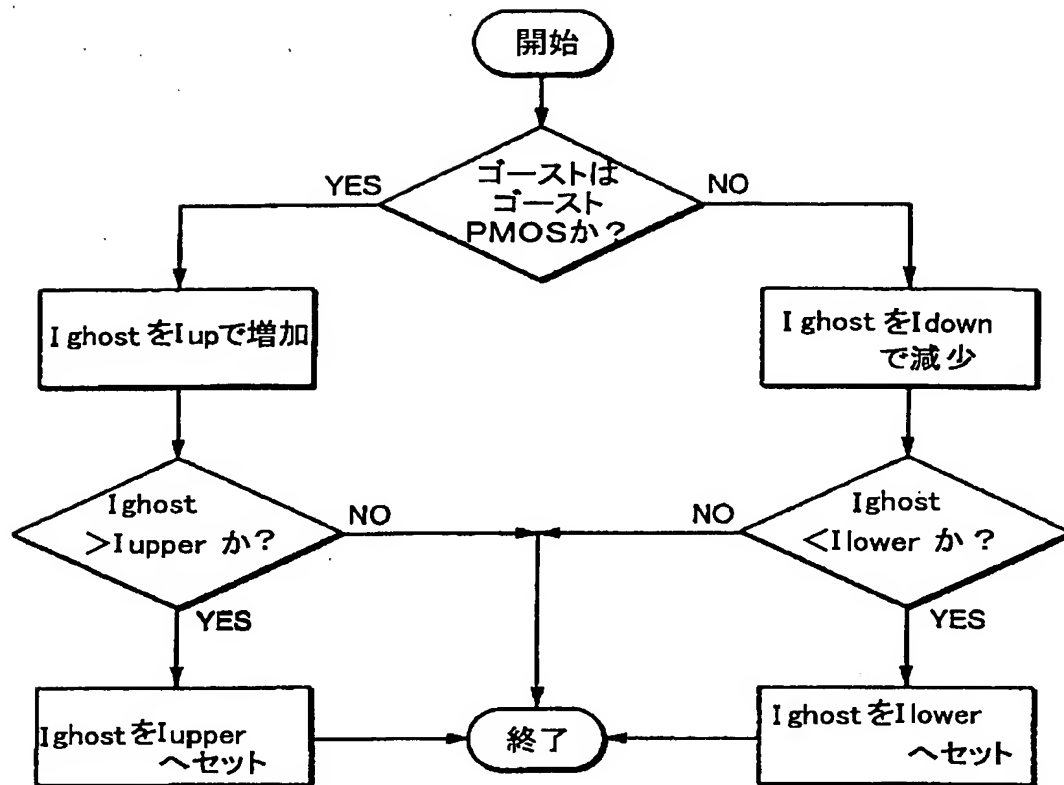
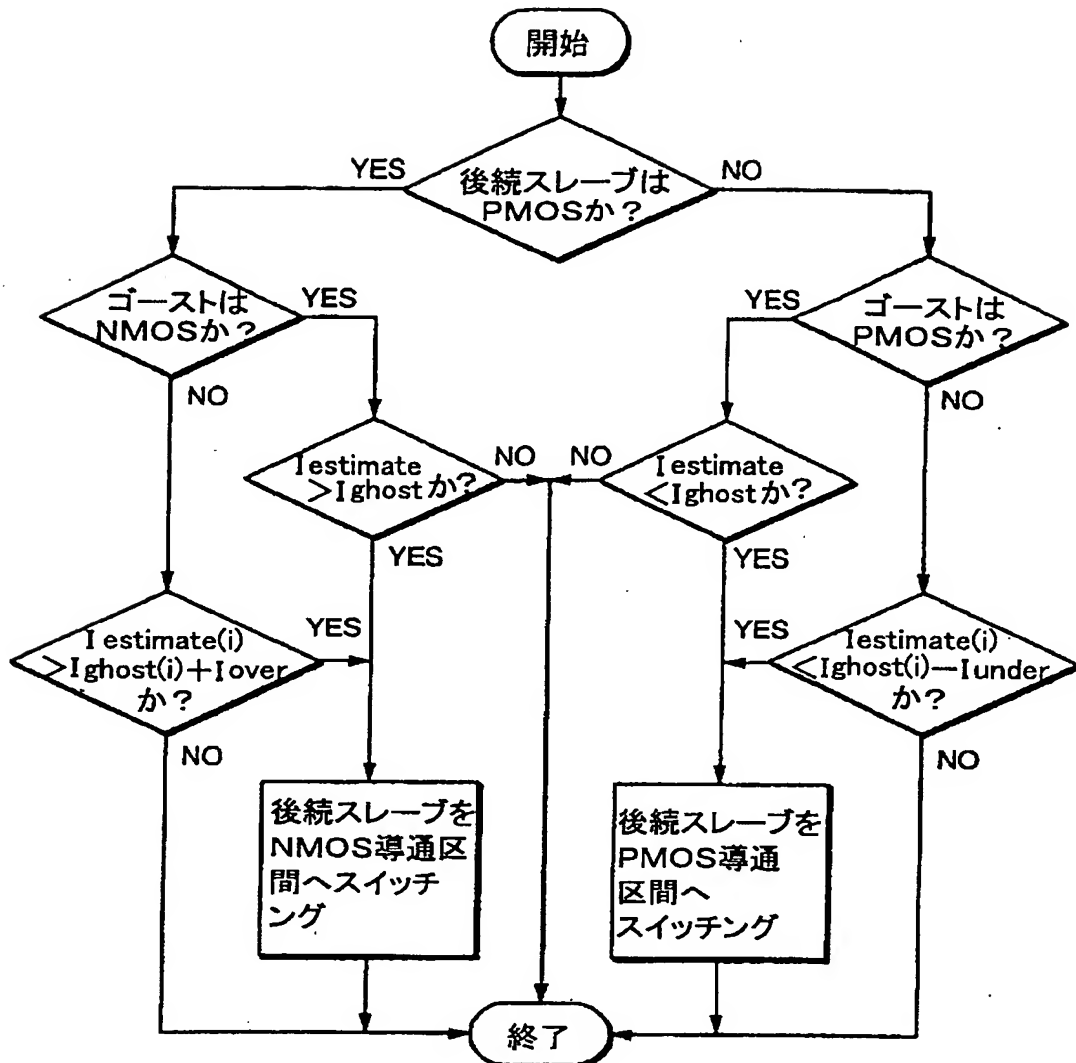


FIG. 17

【図18】



【図19】



【図20】

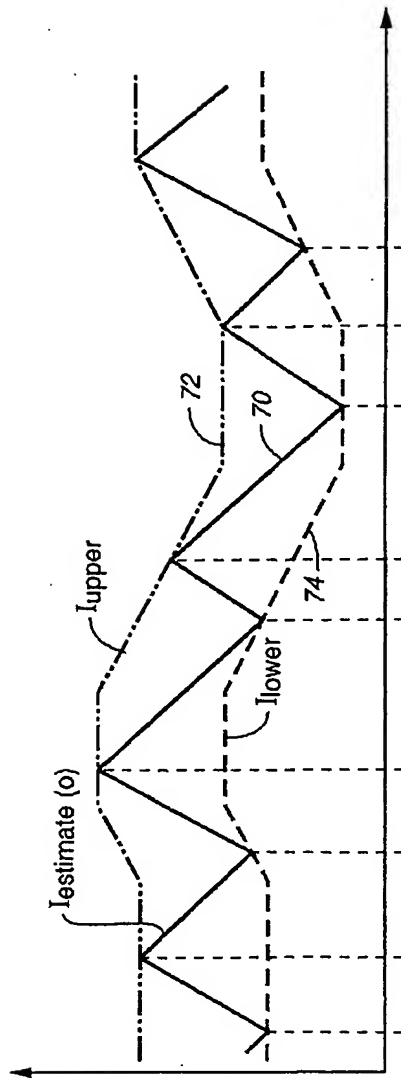


FIG. 20

【図 2 1】

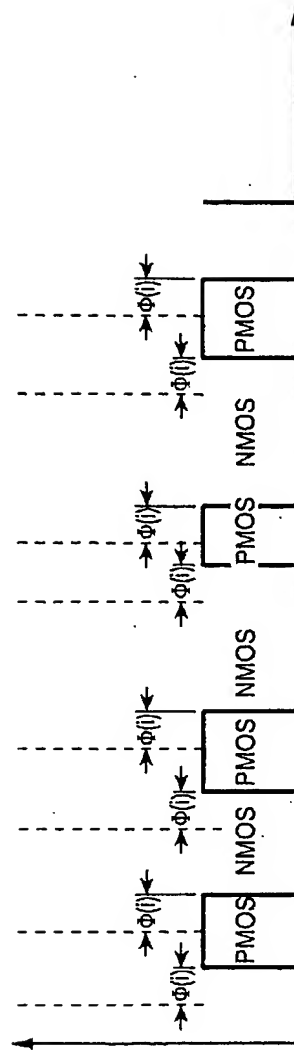


FIG. 21

【図 22】

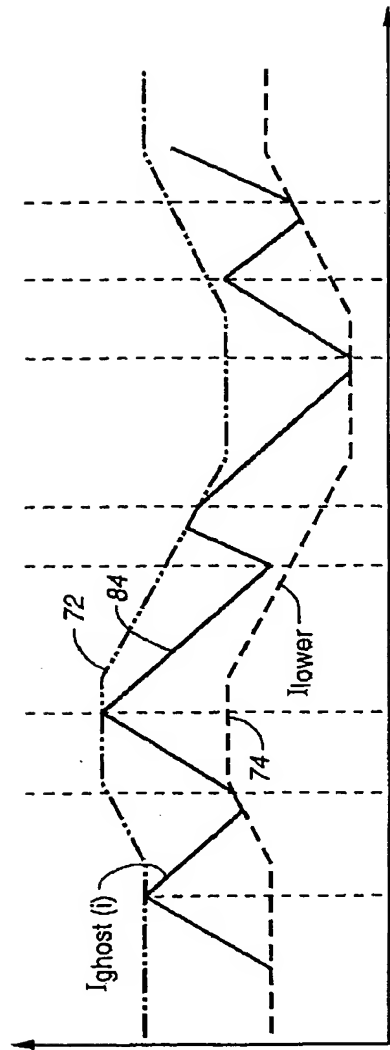


FIG. 22

【図23】

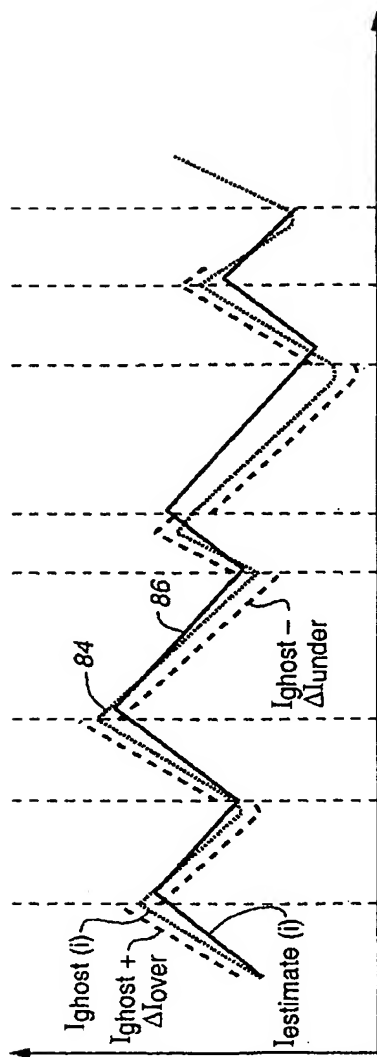
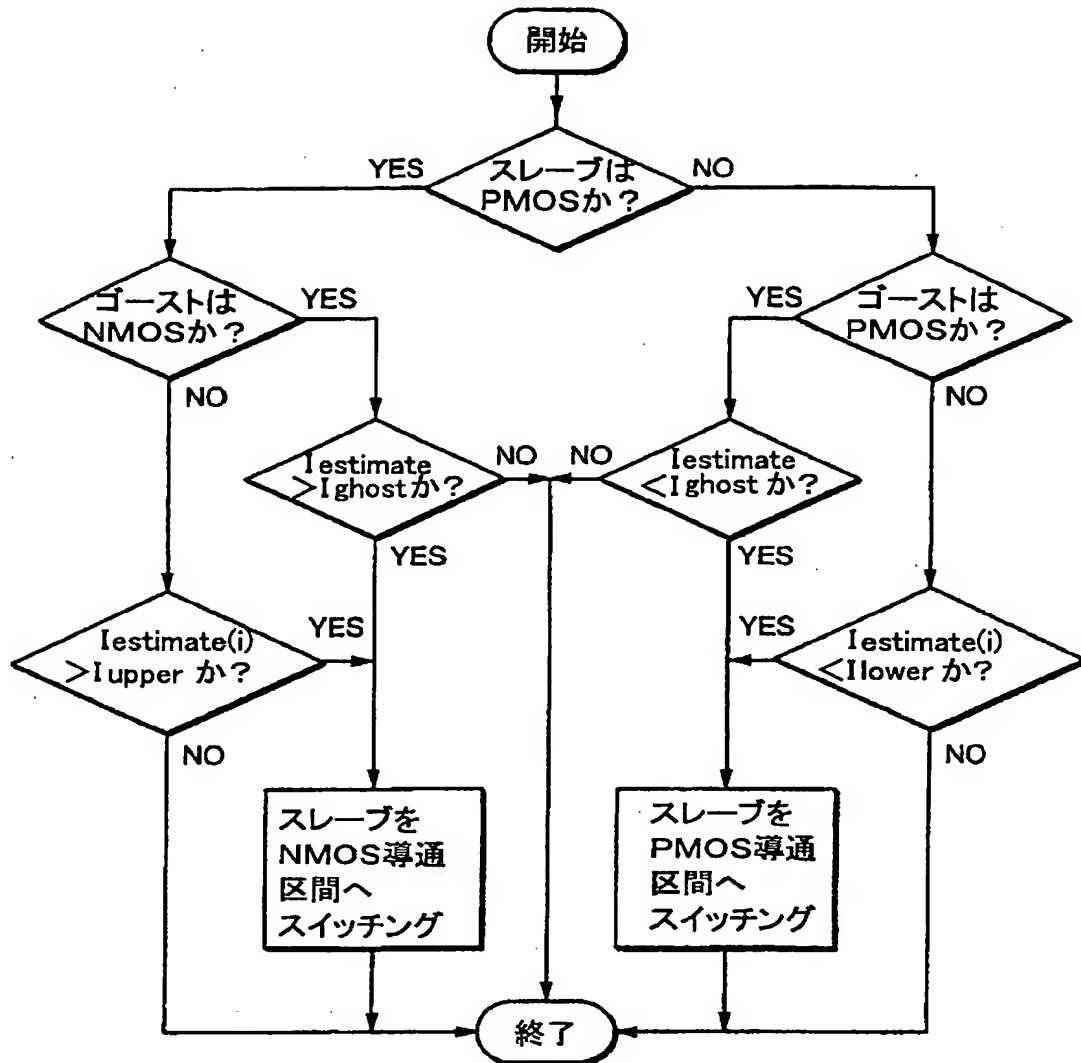
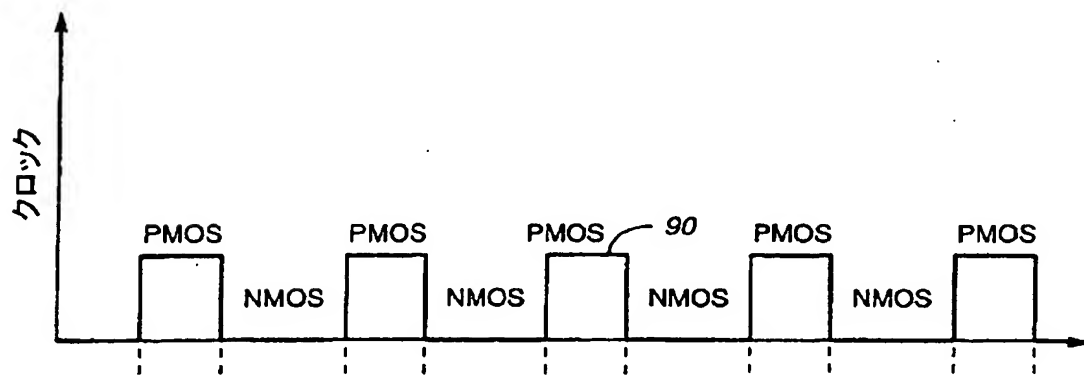


FIG._23

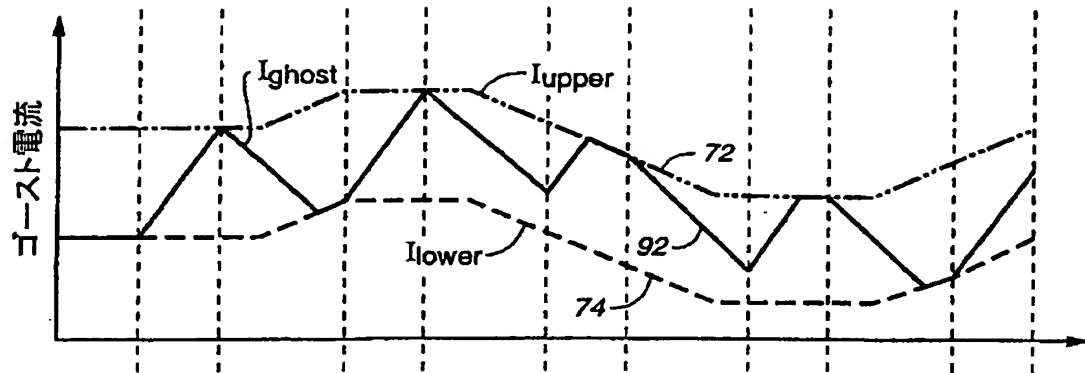
【図 2 4】



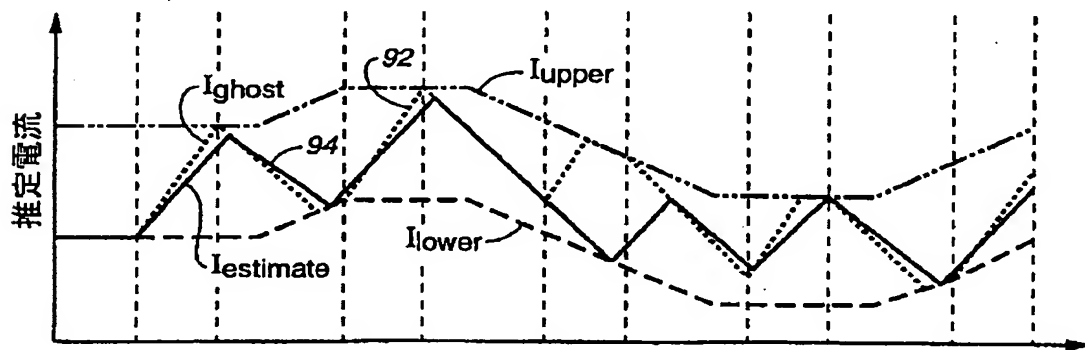
【図 2 5】



【図26】



【図27】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US99/25720

A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : G05F 1/50, 3/335

US CL : 323/222, 266, 273, 275, 282

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 323/222, 266, 273, 275, 282

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
none

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
none

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 3,978,393 A (WISNER et al) 31 August 1976 (31.08.76), Fig.5	1-122
A	US 4,034,232 A (LAVENTURE) 05 July 1977 (05.07.77), Fig.1 and 2	1-122
A	US 4,716,267 A (REYNOLDS) 29 December 11087 (29.12.87), Figs. 1 and 3C	1-122

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is considered to be of particular relevance

"T" earlier document published on or after the international filing date

"L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to ... and the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"A" document member of the same patent family

Date of the actual completion of the international search

27 JANUARY 2000

Date of mailing of the international search report

14 February 2000 (14.02.00)

Name and mailing address of the ISA/US
Commissioner of Patents and Trademarks
Box PCT
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

MATTHEW V. NOUYEN
Telephone No. (703) 308-9936

 フロントページの続き

- (31) 優先権主張番号 09/183, 326
- (32) 優先日 平成10年10月30日(1998. 10. 30)
- (33) 優先権主張国 米国 (US)
- (31) 優先権主張番号 09/183, 337
- (32) 優先日 平成10年10月30日(1998. 10. 30)
- (33) 優先権主張国 米国 (US)
- (81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW
- (72) 発明者 シュルツ, アーロン, エム.
アメリカ合衆国, カリフォルニア州,
サニーヴェイル, クーリッジ アヴェニ
ュー 896
- (72) 発明者 クリステンソン, マイケル
アメリカ合衆国, カリフォルニア州,
パークレイ, マーティン ルーサー キ
ング ジュニア ウェイ 1429エー
- (72) 発明者 リドスキー, デイヴィッド, ビー.
アメリカ合衆国, カリフォルニア州,
オークランド, コルトン ブルヴァード
5739
- (72) 発明者 ストラタコス, アンソニー
アメリカ合衆国, カリフォルニア州,
フレモント, レッド ホーク ランチ
39241 ビー201
- (72) 発明者 サリバン, チャーリー
アメリカ合衆国, ニューハンプシャー
州, ハノヴァー, サウス パーク ス
トリート 7
- (72) 発明者 クラーク, ウィリアム
アメリカ合衆国, カリフォルニア州,
フレモント, テラス ドライブ 35624

ターム(参考) 5H730 BB11 BB82 DD04 DD34 FD31
FF09 FG05 FG11 FG22